

P C T

US

EF

## 国際調査報告

(法 8 条、法施行規則第40、41条)  
[PCT 18条、PCT規則43、44]

出願人又は代理人 の書類記号 P 2 0 0 8 0 - P 0	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記 5 を参照すること。	
国際出願番号 PCT/J P 9 9 / 0 1 4 2 3	国際出願日 (日.月.年) 1 9 . 0 3 . 9 9	優先日 (日.月.年) 2 3 . 0 3 . 9 8
出願人 (氏名又は名称) 松下電器産業株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条 (PCT 18条) の規定に従い出願人に送付する。  
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 6 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

## 1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない (第 I 欄参照)。

3. ☒ 発明の単一性が欠如している (第 II 欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☐ 出願人が提出したものを承認する。

☒ 第 III 欄に示されているように、法施行規則第47条 (PCT規則38.2(b)) の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から 1 カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、

第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であって PCT 規則 6.4(a) の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

## 第Ⅲ欄 要約（第1ページの5の続き）

p 型シリコン基板（1）上に形成された電界放出電子源部と、該電界放出電子源部に対応して該 p 型シリコン基板（1）上に形成された n チャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極（8）に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置において、該ドレイン領域が、不純物濃度の異なる少なくとも2種類のウエル（3，4）を含み、該少なくとも2種類のウエルのうちで不純物濃度の低いウエル（4）が、該電界効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている。

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>8</sup> H01J1/30, H01L27/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>8</sup> H01J1/30, H01L21/336, 27/06, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1999年

日本国登録実用新案公報 1994-1999年

日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP, 7-130281, A (日本電気株式会社) 19. 5月. 1995 (19. 05. 95) 【0014】、第2図 &EP, 651417, A &US, 5550435, A	1, 5 2-4, 6 9-13
Y A	JP, 9-63467, A (株式会社神戸製鋼所) 7. 3月. 1997 (07. 03. 97) 【0031】~【0035】、第1図 (ファミリーなし)	4, 6 9-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

19. 07. 99

国際調査報告の発送日

27.07.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

波多江 進

2G

9508

電話番号 03-3581-1101 内線 3224

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 60-55616, A (株式会社日立製作所) 30. 3月. 1985 (30. 03. 85) 全文、第1図、第2図 (ファミリーなし)	2, 3
Y	JP, 60-22375, A (株式会社諏訪精工舎) 4. 2月. 1985 (04. 02. 85) 全文、第2図 (ファミリーなし)	4
EX	JP, 11-102637, A (双葉電子工業株式会社) 13. 4月. 1999 (13. 04. 99) 全文、第1-7図 (ファミリーなし)	7, 8

## 第II欄の続き

請求の範囲1-3, 4はホットエレクトロンによるFET性能の劣化を抑制することを目的としたものであり、請求の範囲5-6はFET用のゲート絶縁膜と電界放出型電子源用の絶縁膜とをそれぞれ独自に設計すること、及び多層配線構造を容易に得ることを目的としたものであり、請求の範囲7-8はFETのチャネル領域の上部に発生するチャージ電圧によるFETの特性変化を防止することを目的としたものであり、請求の範囲9-13はソース領域からドレイン領域へキャリアを均等に注入すること、及びFETのゲート電極により、電子放出量を維持したまま収束作用を得ることを目的としたものである。従って、上記請求の範囲に記載された発明は互いに同一の目的を達成するものとは認められない。

また、請求の範囲1-3, 4と請求の範囲5-6と請求の範囲7-8と請求の範囲9-13に記載された発明に互いに共通する構成は、出願人が先行技術として挙げた特開平8-87957号公報に記載された発明に開示されている構成に過ぎず、上記請求の範囲に記載された発明は互いにその主要部が共通するとは認められない。

したがって、請求の範囲1-3, 4、請求の範囲5-6、請求の範囲7-8、請求の範囲9-13に記載された発明は、これらの発明の間に一又は二以上の同一の又は対応する特別な技術的特徴を含む技術的な関係があるとは認められず、これらの発明は一の又は単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

## PCT COOPERATION TREATY

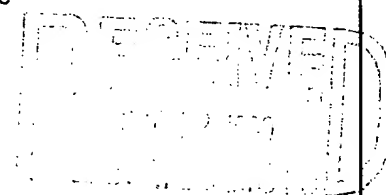
PCT

NOTICE INFORMING THE APPLICANT OF THE  
COMMUNICATION OF THE INTERNATIONAL  
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

From the INTERNATIONAL BUREAU

To:

YAMAMOTO, Shusaku  
Crystal Tower, 15th floor  
2-27, Shiromi 1-chome  
Chuo-ku,  
Osaka-shi  
Osaka 540-6015  
JAPON

Date of mailing (day/month/year) 30 September 1999 (30.09.99)		
Applicant's or agent's file reference P20080-P0		IMPORTANT NOTICE
International application No. PCT/JP99/01423	International filing date (day/month/year) 19 March 1999 (19.03.99)	
		Priority date (day/month/year) 23 March 1998 (23.03.98)
Applicant MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD. et al		

1. Notice is hereby given that the International Bureau has communicated, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this Notice:  
EP, KR, US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present Notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:  
None

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this Notice is a copy of the international application as published by the International Bureau on 30 September 1999 (30.09.99) under No. WO 99/49491

**REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)**

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a demand for international preliminary examination must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

**REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))**

If the applicant wishes to proceed with the international application in the national phase, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and Volume II of the PCT Applicant's Guide.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer J. Zahra
Facsimile No. (41-22) 740.14.35	Telephone No. (41-22) 338.83.38



(51) 国際特許分類6 H01J 1/30, H01L 27/06	A1	(11) 国際公開番号 WO99/49491  (43) 国際公開日 1999年9月30日 (30.09.99)
(21) 国際出願番号 PCT/JP99/01423 (22) 国際出願日 1999年3月19日 (19.03.99) (30) 優先権データ 特願平10/73828 1998年3月23日 (23.03.98) JP 特願平10/298250 1998年10月20日 (20.10.98) JP (71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP] 〒571-8501 大阪府門真市大字門真1006番地 Osaka, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてののみ) 古賀啓介 (KOGA, Keisuke) [JP/JP] 〒611-0021 京都府宇治市宇治半白101-50 Kyoto, (JP) (74) 代理人 弁理士 山本秀策 (YAMAMOTO, Shusaku) 〒540-6015 大阪府大阪市中央区城見一丁目2番27号 クリスタルタワー15階 Osaka, (JP)		(81) 指定国 KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書 請求の範囲の補正の期限前の公開; 補正書受領の際には再公開される。

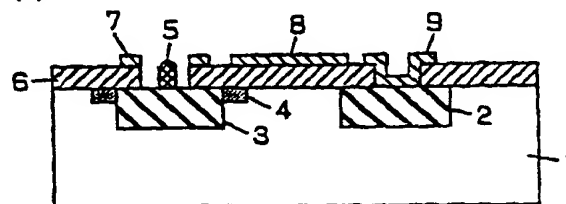
(54) Title: FIELD-EMISSION ELECTRON SOURCE

(54) 発明の名称 電界放出型電子源装置

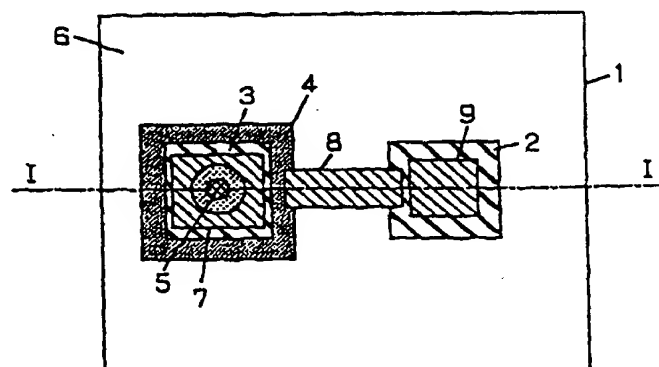
(57) Abstract

A field-emission electron source which comprises a field-emission electron source part formed on a p-type silicon substrate (1) and an n-channel field-effect transistor part formed on the p-type silicon substrate (1) in a position corresponding to the field-emission electron source part and in which the field-emission electron source part is provided in the drain region of the field-effect transistor part, and the field-emission current from the field-emission source part is controlled by a control voltage applied to the gate electrode (8) of the field-effect transistor part, wherein the drain region includes at least two wells (3, 4) with different impurity concentrations, the well (4) having the lower impurity concentration is provided at an end part of the drain region provided in contact with the channel region of the field-effect transistor part.

(a)



(b)





p 型シリコン基板（１）上に形成された電界放出電子源部と、該電界放出電子源部に対応して該 p 型シリコン基板（１）上に形成された n チャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極（８）に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置において、該ドレイン領域が、不純物濃度の異なる少なくとも２種類のウエル（３，４）を含み、該少なくとも２種類のウエルのうちで不純物濃度の低いウエル（４）が、該電界効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロバキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LJ	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサウ	MG	マダガスカル	TZ	タンザニア
BS	バハマ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア	TM	トルクメニスタン
CA	カナダ	HR	クロアチア		共和国	TR	トルコ
CC	中東アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボワール	IL	イスラエル	MW	マラウイ	US	米国
CN	中国	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CU	キューバ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CY	キプロス	JP	日本	NO	ノルウェー	ZA	南アフリカ共和国
CZ	チェッコ	KE	ケニア	NZ	ニュージーランド	ZW	ジンバブエ
DE	ドイツ	KG	キルギスタン	PL	ポーランド		
DK	デンマーク	KP	北朝鮮	PT	ポルトガル		
		KR	韓国	RO	ルーマニア		

534 Rec'd PCT/PTO 22 AUG 2000

## 明 細 書

## 電界放出型電子源装置

## 5 技術分野

本発明は、電子線励起のレーザ、平面型の表示素子、及び超高速の微小真空素子等への応用が期待される冷陰極電子源に係わり、特に集積化及び低電圧化が実現可能な半導体応用の電界放出型電子源及びその製造方法に関するものである。

## 10 背景技術

半導体微細加工技術の進展により微小な冷陰極構造の形成が可能になったことから、真空マイクロエレクトロニクス技術の開発が盛んになりつつある。これによって得られる微小冷陰極構造は、平面型の電子放出特性や高い電流密度が期待できることから、特に次世代フラットディスプレイの電子源として期待が集まっている。また、動作温度がTFT-LCD等の液晶表示方式に比べて広範囲であるため、車載用の耐環境ディスプレイとしても実用化が望まれている。

これらの電子源をフラットディスプレイの用途として用いるためには、動作電圧の低減、電子放出特性の安定化や長寿命特性等の要求仕様を満足する必要がある。特に、電子放出特性の安定化はディスプレイの輝度としての基本性能に直接係わる問題であり、重要な技術課題として位置づけられている。

この課題に対し、電子源内部に抵抗層を挿入する方法や定電流回路を内蔵する方法などが提案されている。

以下、第1の従来例として、特開平8-87957号公報に記載されている電界放射冷陰極装置の構成を、図8(a)及び8(b)を参照して説明する。この第1の従来例では、電界放射陰極素子のエミッタ電子流放射量を電界効果トランジスタ(FET)の定電流特性を用いて一定化させる原理を用いている。図8

(a) は、1つの電界放射陰極素子及びFETが構成されているシリコン基板の一部の断面図であり、(b) は、電界放射陰極素子を含む部分の電氣的等価回路を示す回路構成図である。

図8(a)及び8(b)において、810は電界効果トランジスタ(FET)、801はp型シリコン基板、802はFET810のソースとなる第1のn型層、803は電界放射陰極素子の円錐形エミッタ、804'は絶縁層(SiO<sub>2</sub>層)804のうちで電界放射陰極素子のゲート絶縁層として機能する部分、805は電界放射陰極素子のゲート層、806はFET810のドレインとなる第2のn型層、807はFET810のソース電極、808はFET810のゲート電極、809は電界放射陰極素子のアノード、811はソース抵抗、812はゲート電圧源(電圧値V<sub>g</sub>)、813はアノード電圧源(電圧値V<sub>a</sub>)、814はゲートソース間制御電圧源(電圧値V<sub>gs</sub>)である。

図8(b)に示すように電界放射陰極素子は、アノード(A)809、ゲート(G)805、エミッタ(E)803を備えた3極管を構成し、エミッタ(E)803と接地との間にFET810のドレインソース経路とソース抵抗811とが直列接続される。

この3極管において、アノード(A)809は、アノード電圧V<sub>a</sub>を発生するアノード電圧源813に接続され、ゲート(G)805は、固定のゲート電圧V<sub>g</sub>を発生するゲート電圧源812に接続される。FET810において、ゲート808は、可変のゲートソース間制御電圧V<sub>gs</sub>を発生するゲートソース間制御電圧源814に接続される。

この電界放射陰極装置に用いられる電界放射陰極素子では、アノード809に所定のアノード電圧V<sub>a</sub>を、ゲート805に所定のゲート電圧V<sub>g</sub>をそれぞれ印加し、FET810のゲート808に所要の値のゲートソース間電圧V<sub>gs</sub>を印加すれば、エミッタ803を加熱することなく、エミッタ803からエミッタ電子流放射が行われる。この場合、電界放射陰極素子のエミッタ電子流放射量は、

ゲート 805 に印加される固定のゲート電圧  $V_g$  によって制御されるのではなく、エミッタ 803 に接続される FET 810 のゲート 808 に印加される可変ゲートソース間制御電圧  $V_{gs}$  によって、制御される。即ち、FET 810 は、そのゲート 808 に印加されるゲートソース間制御電圧  $V_{gs}$  を適切にすることによって、定電流領域で動作するようになる。

このように、エミッタから電界放射される電子流放射量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つ FET の特性によって、決定される。従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因から開放され、結果として、極めて安定で且つ正確に制御された電界放射電子流量を得ることができる。

冷陰極に要求される仕様として、ディスプレイ用途としては、特に高精細化も重要な要素となる。一般に、マイクロチップ型の冷陰極構成の場合、エミッタから放出される電子は所定の広がり角を有しているために、高精細表示を行う上で障害となる可能性がある。この電子軌道の広がりを抑制する手段の一つとして、収束電極を用いる構成が提案されている。図 9 に、第 2 の従来例として、特開平 10-74473 号公報に開示されている、このような方式の FED の一構成例を示す。

この FED では、各エミッタ毎に第 2 のゲート電極（収束電極）を形成し、このゲート電極に、第 1 のゲート電極（引き出しゲート電極）に対して相対的に負の電位を与えることによって、エミッタから放出される電子を収束させる。

すなわち、図 9 において、91 は絶縁層であり、ゲート電極（引き出し電極）92 の上に更に絶縁層 93 を設け、その上に円形の開口部を有する第 2 のゲート電極（収束電極）94 を設けている。この従来例においては、第 2 のゲート電極（収束電極）94 は、各エミッタ 95 を取り囲む様に設けられている。この第 2

のゲート電極（収束電極）94を、第1のゲート電極（引き出しゲート電極）92よりも低電位とすることにより、エミッタから放出された電子が収束効果のレンズ作用を受けて、電子ビームの軌道が収束される。

ところが、前記第1の従来例の電界放射型陰極素子は、電界放射電子流量を短期間安定に制御することは可能であるが、動作条件によっては長期間にわたって安定性を確保することができない。

また、第2の従来例の電界放出型表示装置では、電子ビームの収束機能は有するが、その一方で、エミッタから放出される電子の量が低下するという欠点を有している。

#### 発明の開示

本発明は、上記の課題を解決するためになされたものであり、その目的は、

（1）次世代ディスプレイに要求される高信頼性動作を実現する電界放出型電子源構造を得ること、（2）高精細化を図る上で高密度で安定な動作を実現する電界放出型電子源構造を得ること、並びに（3）更に高精細化が可能なビーム収束作用を有する電界放出型電子源構造を得ること、である。

本発明のある局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該ドレイン領域が、不純物濃度の異なる少なくとも2種類のウエルを含み、該少なくとも2種類のウエルのうちで不純物濃度の低いウエルが、該電界

効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている。

例えば、前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種類のn型不純物元素が含まれ得る。

5 ある実施形態では、前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度が早い燐元素とシリコン基板中での熱拡散速度が遅い砒素元素とが含まれている。

本発明の他の局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該電界効果トランジスタ部の該ゲート電極が、少なくとも2種類の異なるゲート幅の部分を含む形状を有しており、該ゲート電極の一部が、該ドレイン領域の端部を覆うように配置されている。

20 本発明の更に他の局面によって提供される装置は、p型シリコン基板上に第1の絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出

型電子源装置であって、該電界効果トランジスタの該ゲート電極と該p型シリコン基板との間に形成されたゲート絶縁膜が、該引き出し電極と該p型シリコン基板との間に形成された該第1の絶縁膜より薄い膜で構成され、且つ該ゲート絶縁膜が該第1の絶縁膜によって埋め込まれた構成を有する。

5 前記ゲート絶縁膜が、前記電界放出電子源部の前記陰極部の先端を鋭い形状にするための先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から構成されていてよい。

本発明の更に他の局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該電界効果トランジスタ部の該ゲート電極と同一材料から構成された、該電界効果トランジスタ部のチャネル領域のうちで該ゲート電極によって覆われていない領域を覆うように配置されたシールド電極を更に備える。

好ましくは、前記シールド電極が、前記p型シリコン基板と同電位に保持されており、前記ゲート電極に起因しない外部電界の前記チャネル領域に対する影響を遮断する機能を有する。

本発明の更に他の局面によって提供される装置は、p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ

部と、を備え、該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、該電界効果トランジスタ部の該ドレイン領域が、該電界効果トランジスタ部のソース領域の内部に、該ソース領域で囲まれるように配置され、該電界効果トランジスタ部の該ゲート電極が、該電界放出電子源部の該陰極部に対して平面的に対称な配置構成を有する。

例えば、前記ドレイン領域がp型導電層からなる。

前記ドレイン領域のうちで、前記電界効果トランジスタ部の前記チャネル領域に接する外周部と、前記ソース領域の内周部とが、同心円周上に形成された円形状を有していてもよい。

前記ソース領域と前記ドレイン領域との間に形成されている前記ゲート電極の少なくとも一部が、円弧状の対称な形状を有していてもよい。

例えば、前記電界放出電子源部の前記引き出し電極に印加される第1の電圧 $V_{ex}$ と前記電界効果トランジスタ部の前記ゲート電極に印加される第2の電圧 $V_g$ との間に、 $V_g < V_{ex}$ なる関係が存在する。

本発明によれば、高い電界強度が集中するドレイン端部が低い不純物濃度のウエルで構成され、その結果極度な電界集中を緩和することが可能になり、デバイス動作の信頼性を向上させることができる。

ドレイン領域の不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種以上のn型不純物元素を用いることにより、熱拡散速度の違いを利用した2種以上のn型ウエルを、容易に形成することができる。

前記不純物元素として、熱拡散速度の早い磷元素及び熱拡散速度の遅い砒素元素を用いれば、不純物濃度の低いn-ウエルと不純物濃度の高いn+ウエルとを、容易に形成することができる。

また、本発明によれば、電界放出型電子源装置において、チャネルゲート電極



の一部がドレイン端領域を覆うことにより、ソースからドレインへ流れるドレイン電流がドレイン端領域で拡散され、結果として電流密度を低下させることができる。

また、本発明によれば、電界放出型電子源装置において、高電圧印加が必要とされる引き出し電極用の厚い絶縁膜と、低電圧駆動のために薄い絶縁膜が必要とされる電界効果トランジスタ用絶縁膜とを、機能的に分離することができる。また、ゲート絶縁膜が絶縁膜で埋め込まれた構成とすることにより、多層配線を形成することが可能になり、マトリックス駆動用の配線が容易に形成できる。

ゲート絶縁膜を、電界放出電子源部の陰極の先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から構成すれば、精密に制御された膜質の高い熱酸化膜を用いることにより、高い信頼性が得られるとともに、FETの制御を高精度に行うことができる。

更に、本発明によれば、電界放出型電子源装置において、電界効果トランジスタ部のチャネル領域をシールド電極で覆うことによって、外部電界からの影響を抑制することができる。また、ゲート電極と同一材料で構成されることにより、配線工程が簡略化できる。

シールド電極がp型シリコン基板と同電位に保持され、ゲート電極以外の外部電界からの電界の影響を遮断する機能を有する構成を付加すれば、シールド電極がp型シリコン基板電位と同電位に保持されるため、より確実に、外部電界からのシールド機能を発揮できる。

また、本発明によれば、電界放出型電子源装置において、ゲート電極等の電極配置をドレインを中心に平面的に対称設計することが可能になり、電子収束作用が容易になる。

更に、本発明によれば、ドレイン領域へのイオン注入による不純物導入工程が簡略化され、製造コストを低減できると同時に、陰極へのイオン注入による陰極形状ばらつき発生を抑制できる。

また、電界効果トランジスタ部のチャネル領域に接するドレインの外周部とソースの内周部とが、それぞれ同心円周上に形成された円形状を有する構成により、ソース領域からドレイン領域へのキャリア注入が均一化され、良好なトランジスタ特性が得られる。

- 5        ソース領域とドレイン領域との間に形成された、チャネル領域を制御するためのゲート電極の少なくとも一部が、円弧状の対称な形状を有する構成により、収束のための電極形状がドレインを中心に対称となり、より均一に収束動作を行うことができる。

- 10        更に、電界放出電子源部の引き出し電極に印加される第1の電圧 ( $V_{ex}$ ) と電界効果トランジスタ部のゲート電極に印加される第2の電圧 ( $V_g$ ) との間に、 $V_g < V_{ex}$  なる関係を有する構成により、電子の収束動作をより確実に行うことができる。

#### 図面の簡単な説明

- 15        図1 (a) 及び (b) は、それぞれ、本発明の第1の実施形態における電界放出型電子源装置の構成を模式的に示す断面図及び平面図であり、図1 (a) は、(b) の I-I 線における断面構造を示す。

- 20        図2 (a) 及び (b) は、それぞれ、本発明の第2の実施形態における電界放出型電子源装置の構成を模式的に示す断面図及び平面図であり、図2 (a) は、(b) の I-I 線における断面構造を示す。

図3は、本発明の第3の実施形態における電界放出型電子源装置の構成を模式的に示す断面図である。

- 25        図4 (a) 及び (b) は、それぞれ、本発明の第4の実施形態における電界放出型電子源装置の構成を模式的に示す断面図及び平面図であり、図4 (a) は、(b) の I-I 線における断面構造を示す。

図5 (a) 及び (b) は、それぞれ、本発明の第5の実施形態における電界放

出型電子源装置の構成を模式的に示す断面図及び平面図であり、図5 (a) は、  
(b) の I - I 線における断面構造を示す。

図6 (a) 及び (b) は、それぞれ、本発明の第6の実施形態における電界放  
出型電子源装置の構成を模式的に示す断面図及び平面図であり、図6 (a) は、  
5 (b) の I - I 線における断面構造を示す。

図7 (a) 及び (b) は、それぞれ、本発明の第7の実施形態における電界放  
出型電子源装置の構成を模式的に示す断面図及び平面図であり、図7 (a) は、  
(b) の I - I 線における断面構造を示す。

図8 (a) は、従来技術による電界放出型電子源装置の構成を模式的に示す断  
10 面図であり、図8 (b) は、(a) の構成の等価回路図である。

図9は、従来技術による電界放出型電子源装置の構成を模式的に示す断面図で  
ある。

#### 発明を実施するための最良の形態

15 本発明の具体的な実施形態の説明に先立って、以下では、従来技術の電界放出  
型電子源装置が有する課題に関する本願発明者の検討結果を説明する。なお、以  
下に説明する従来技術における問題点は、当該技術分野において、従来は認識さ  
れていなかった内容である。

まず、第1の従来例の問題点を説明する。

20 図8 (a) の構成で、ゲート808にゲートソース間制御電圧 $V_{gs}$ を適当に  
印加した状態で、つまりFETのチャネルゲートを開いた状態で、ゲート805  
にゲート電圧 $V_g$ を印加していくと、ある一定の電圧以上で電界放射陰極素子の  
エミッタ先端から電界放射が発生し、エミッタ先端からアノード809へ向かっ  
て電界放射電子が流れる。この時、FETのチャネル抵抗が十分高いために、電  
25 界放射電子流量に応じてドレイン電位が上昇する。

このドレイン電位は、主にFETの設計パラメータであるチャネル抵抗と、動

作条件である電界放射電子流量との積に依存する。電界放射電子流量はF E Dパネルの要求輝度に応じて設定されるが、通常、1画素あたり1  $\mu$  A程度に設定される。更に、電源電圧が3.5 V程度の通常のF E Tを用いてミクロンレベルの微少な素子寸法を仮定した場合、ドレイン電位は数ボルト以上に上昇することが実験的に確認されている。また、F E Tの動作電圧を低く設計するためには、更にチャンネル抵抗を高く設計することが必要になり、また、輝度を高くするためには電界放射電子流量を増大させる必要があるが、これらによって、ドレイン電位は更に高くなると考えられる。

本願発明者らの検討によって、上記のようなドレイン電位の上昇は、電界放出型電子源装置の動作に幾つかの問題を引き起こすことが確認された。その一つは、ホットエレクトロン現象である。

ソースドレイン間の電位がシリコンのバンドギャップエネルギーの1.1 e Vを超えた条件でF E Tを長時間動作させると、ソースドレイン間の電界により加速された電子が、ドレイン近傍のゲート絶縁膜界面に注入される現象が起きる。この注入された電子は、ゲート絶縁膜付近に留まってゲート電圧を打ち消す作用を引き起こしたり、またはゲート絶縁膜界面に界面準位を形成してゲート絶縁膜を介したリーク電流を発生させたり、様々なF E T性能の劣化を引き起こす。

更に、F E Tの特性変化を引き起こす要因として、インバクトイオン化現象があることを、本願発明者らは見いだした。

すなわち、引き出し電極への電圧印加に伴ってソースドレイン電位が10 V以上の極めて高い状態になると、高速に加速された電子が、平均自由行程中で大きな運動エネルギーを有することになる。このような大きな運動エネルギーを有する電子が散乱する際に、ホール・エレクトロンのペアを生成する。これによって発生したキャリアが次々に新たなキャリアを発生させる、いわゆる「なだれ増倍現象」が発生し、極めて大きな電流の変化（増加）を引き起こす。これは、最終的には、F E Tの素子破壊につながることも予想される。

これらの、ホットエレクトロンによるFET特性の劣化やインパクトイオン化によるFET特性変動や素子破壊等は、デバイスの長期信頼性動作にとって大きな障害となり、特に低電圧動作や素子の高集積化を進める上で、重大な問題となる。

5       一方で、FET素子近傍での高い外部電界の影響によるFET特性の変化の現象も存在する。

電界放射陰極素子のエミッタ先端から電界放射を発生させるためには、通常はゲートに数10V以上のゲート電圧 $V_g$ を印加する必要がある。ここで、高精細なディスプレイを実現するために、高密度に電界放射陰極素子と対応するFET素子を集積化すると、ゲートとFETのチャンネル部とが近接することにより、高  
10       いゲート電圧からの電界が、FETのチャンネル部に影響を及ぼすことが予想される。この場合、上述の外部電界により見かけ上はチャンネル抵抗が低下し、本来はFETのソースゲート間電圧 $V_{sg}$ により安定に制御されていた電界放射電子流量が増加する現象を引き起こす。ゲート電圧 $V_g$ が高く、ソースゲート間電圧 $V_{sg}$   
15       が低く、更に素子の集積密度が大になればなるほど、外部電界の影響を受ける危険性が増加する。この外部電界による電界放射電子流量の増大の問題も、安定なエミッション電流制御を妨げる要因となり、実用化を図る上で大きな障害となる。

次に、第2の従来例の問題点を説明する。

20       第2のゲート電極94に、第1のゲート電極92に対する負の電位を与えると、この負の電位は、エミッタから放出された電子だけでなく、エミッタ先端の引き出し電界にも作用する。引き出し電極の開口径が約 $1\mu\text{m}$ のエミッタの場合、十分な電界放出を得るためには、通常60V程度の電位を第1のゲート電極92に与える必要がある。

25       また、電子ビームの収束作用の効果を高めるためには、第2のゲート電極94に相対的に低い負の電位を与える必要があるが、実験的には、10V程度の電圧

印加で十分な収束作用が実証されている。ところが、この収束条件では、同時にエミッタから放出される電子の量が数分の1に低下することが、本願発明者らによる実験で確認された。

このように、第2の従来例の構成では、第2のゲート電極94に印加された電位が、第1のゲート電極92によって生成されたエミッタ先端部の電界強度を打ち消す効果をもたらし、結果的に、電界強度が弱められて電子放出量が低下する。この従来例の構成では、収束作用と電子放出量とはトレードオフの関係を有することになり、十分な電子放出量を維持したままで十分な収束を行うことができないという、本質的な問題を有していることが確認された。

以下では、従来技術に関する上記のような検討結果を考慮して達成された本発明の具体的な幾つかの実施形態について、添付の図面を参照しながら説明する。

#### (第1の実施形態)

以下、本発明の第1の実施形態に係る電界放出型電子源装置の構造について、図1(a)及び(b)を参照しながら説明する。図1(a)及び(b)は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図1(a)は、(b)のI-I線における断面構造を示す。

本実施形態の構成において、1はp型シリコン基板、2は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、3はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、5は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6は電界放出型電子源及びFETのゲート絶縁膜として機能するシリコン酸化膜からなる絶縁層、7は電界放出型電子源として動作させるための引き出し電極、8はFETのチャネル領域を制御するためのゲート電極、9はFET用のソース電極である。

図1 (a) 及び (b) に示すように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部には、FETのソースとなる第1のn型半導体導電部2及びドレインとなる第2のn型半導体導電部3がある距離を隔てて形成されており、更には、第2のn型半導体導電部3の周囲を囲む  
5 ような位置に、不純物濃度の低い第3のn型半導体導電部4が選択的に形成されている。

この際、第2のn型半導体導電部3を形成するためのn型不純物元素として、シリコン基板中での熱拡散速度の早い磷を用い、第3のn型半導体導電部4を形成するためのn型不純物元素として、シリコン基板中での熱拡散速度の遅い砒素  
10 を用いば、自己整合的に簡略に、且つ精度よく、前記で述べた不純物濃度の異なるウェル構造を形成することができる。これは、2種以上の異なる元素のイオン注入を同一マスクを用いて最適に注入したのちに熱処理を行う工程において、熱拡散速度の違いにより、不純物プロファイルが変化する原理を利用したものである。つまり、熱拡散速度が早い元素（磷等）は、熱拡散速度が遅い元素（砒素  
15 等）に比べて、注入当初の不純物プロファイルより、より深く且つより広く再分布する。

ドレインとなる第2のn型半導体導電部3の表面には、円形断面を持つタワー形状の陰極5が形成されている。シリコンよりなるタワー形状の陰極5の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造  
20 部が形成されている。陰極5に近接して、円形状の開口を持つ酸化シリコン膜よりなる絶縁膜6を介して、導電性の引き出し電極7が形成されている。ソースとなる第1のn型半導体導電部2とドレインとなる第2のn型半導体導電部3及び第3のn型半導体導電部4との間に位置したFETのチャネル領域には、絶縁膜6の上にFET用のゲート電極8が形成されている。更に、ソースのn型半導体  
25 導電部2の上には、コンタクト窓を介してソース電極9が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を

説明する。

p型シリコン基板1とソース領域となる第1のn型半導体導電部2とを接地接続し、引き出し電極7に正の電圧 $V_{ex}$ を印加する。更に、FETのゲート電極8に所定の電圧 $V_g$ を印加すると、ゲート電極8の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極7に正の電圧 $V_{ex}$ を印加する。サブミクロンオーダーのゲート開口径とナノメートルオーダーの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極5の先端から電子が電界放出され始める。放出された電子は、図1(a)及び(b)には図示していないp型シリコン基板1と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極5から放出される電子流放射量は、引き出し電極7に印加される固定のゲート電圧 $V_{ex}$ によって制御されるのではなく、陰極5に接続されるFETのゲート電極8に印加される可変ゲートソース間制御電圧 $V_g$ によって制御される。即ち、FETは、そのゲート電極8に印加されるゲートソース間制御電圧 $V_g$ を適切に選択することによって、定電流領域で動作するようになる。このように、陰極5から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって、決定される。従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量とを、あらかじめ設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因に影響されることなく、極めて安定で且つ正確に制御された電界放射電子流量を得ることができる。

ここで、第3のn型半導体導電部4の機能について詳細に説明する。

本実施形態のドレイン構造の特徴は、2種以上の不純物濃度を有する複数のドレインウエル構造（いわゆる、ツインウエル構造）を採用したことにある。電界放出される電子流は、FETのソースから基本的に供給されるが、ソースドレイン間のチャネル領域は高い抵抗を有するため、この電子流放射量、つまりチャネ



ル電流量に応じて、ドレイン電位が上昇する。サブミクロンプロセスで形成され、電源電圧が3.5ボルト程度で動作するFETの場合、1マイクロアンペア程度のチャンネル電流を想定すると、ドレイン電位は数ボルト以上に達することが実験で確認されている。このドレイン電位により生成されたチャンネル内電界により、

5 ソースから注入された電子は、加速されてドレインへ注入される。

ところが、チャンネル電界はチャンネル領域では均一には生成されず、シリコン基板表面のドレインの近傍付近に集中する。この結果、チャンネル内を走行する電子は、特にドレイン近傍での高い電界強度の影響を受けて、高いエネルギーを持った電子（ホットエレクトロン）となる。このホットエレクトロンは、ドレイン近

10 傍での電界強度が大きいほど高いエネルギーを有することになり、例えばFETのON/OFF制御を行うしきい電圧の増加やドレイン電流の低下など、様々な問題を引き起こす可能性がある。

これに対して、本実施形態で述べたように第3のn型半導体導電部4をドレイン端に配置することにより、前述のホットエレクトロンによるFET性能の劣化

15 を抑制することができる。

通常、ドレインは、高い不純物濃度であるために、ドレイン端でのpn接合はアブラプト接合（急峻な接合）に近くなる。しかし、本実施形態で述べたように、高い不純物濃度のドレインのn型半導体導電部3の周囲に、低い不純物濃度のn型半導体導電部4を配置することにより、ドレイン端でのpn接合が緩やかな接

20 合となり、結果的にドレイン端での電界集中を緩和することができる。この効果により、ホットエレクトロンによるFETの性能劣化を引き起こす要因を除去でき、極めて安定に、且つ長期間にわたって安定なデバイス動作が保証できるため、デバイス信頼性を著しく向上できる。

尚、本実施形態の説明では、陰極5の形状としてタワー形状の例を述べたが、

25 従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極5の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料

料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても、同様の効果を得ることができる。

5           （第2の実施形態）

以下、本発明の第2の実施形態に係る電界放出型電子源装置の構造について、図2（a）及び（b）を参照しながら説明する。図2（a）及び（b）は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図2（a）は、（b）のI-I線における断面構造を示す。

10           本実施形態の構成において、1はp型シリコン基板、2は電界効果トランジスタ（FET）として動作する素子のソース領域となる第1のn型半導体導電部、3はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、4はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、5は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6は電界放  
15           出型電子源及びFETのゲート絶縁膜として機能するシリコン酸化膜からなる絶縁層、7は電界放出型電子源として動作させるための引き出し電極、8TはFETのチャネル領域を制御するためのT字型のゲート電極、9はFET用のソース電極である。

図2（a）及び（b）に示すように、本実施形態における電界放出型電子源装置では、p型シリコン基板1の一方の主表面の一部には、FETのソースとなる  
20           n型半導体導電部2及びドレインとなるn型半導体導電部3が形成され、更に、n型半導体導電部3の周囲を囲むような位置に、不純物濃度の低いn型半導体導電部4が選択的に形成されている。

ドレインとなるn型半導体導電部3の表面には、円形断面を持つタワー形状の  
25           陰極5が形成されている。シリコンよりなるタワー形状の陰極5の先端部は、熱酸化を利用した先鋭化プロセスによりナノメートルオーダの先端微構造部が形成

されている。陰極 5 に近接して、円形状の開口を持つ酸化シリコン膜よりなる絶縁膜 6 を介して、導電性の引き出し電極 7 が形成されている。ソースの n 型半導体導電部 2 とドレインの n 型半導体導電部 3 及び n 型半導体導電部 4 との間に位置した F E T のチャネル領域には、絶縁膜 6 の上に F E T 用のゲート電極 8 T が形成されている。このゲート電極 8 T は、従来の単一幅を有するゲート電極構造と異なり、2 種以上の複数のゲート幅を有している（いわゆる T 字型ゲート構造）。ゲート電極 8 T の一部は、F E T のチャネル領域にありドレイン端に位置している不純物濃度の低い n 型半導体導電部 4 の表面を覆うように、配置されている。更に、ソースの n 型半導体導電部 2 の上には、コンタクト窓を介してソース電極 9 が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。

p 型シリコン基板 1 とソースの n 型半導体導電部 2 とを接地接続し、引き出し電極 7 に正の電圧  $V_{ex}$  を印加する。更に、F E T のゲート電極 8 T に所定の電圧  $V_g$  を印加すると、ゲート電極 8 T の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極 7 に正の電圧  $V_{ex}$  を印加すると、サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極 5 の先端から電子が電界放出され始める。放出された電子は、図 2 には図示していない p 型シリコン基板 1 と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極 7 から放出される電子流放射量は、引き出し電極 7 に印加される固定のゲート電圧  $V_{ex}$  によって制御されるのではなく、陰極 5 に接続される F E T のゲート電極 8 T に印加される可変ゲートソース間制御電圧  $V_g$  によって制御される。即ち、F E T は、そのゲート電極 8 T に印加されるゲートソース間制御電圧  $V_g$  を適切に選択することによって、定電流領域で動作するようになる。

このようにして陰極 5 から電界放射される電子流放出量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つ F E T の特性によって、決定される。従って、F E T の設計を最適に行うことによって、F E T の動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。特に、F E T の飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因には影響されず

5 に、結果として極めて安定で正確に制御された電界放射電子流量を得ることができる。

ここで、2 種以上の異なるゲート幅を有し、且つドレイン端領域を覆うように配置されたゲート電極 8 T の機能について、詳細に説明する。

10 電界放出される電子流は、F E T のソースから基本的に供給される。ソースドレイン間のチャネル領域は高い抵抗を有するため、この電子流放射量、つまりチャネル電流量に応じて、ドレイン電位が上昇する。サブミクロンプロセスで形成され、電源電圧が 3. 5 ボルト程度で動作する F E T の場合、1 マイクロアンペア程度のチャネル電流を想定すると、ドレイン電位は数ボルト以上に達することが実験で確認されている。このドレイン電位により生成されたチャネル内電界により、ソースから注入された電子は加速されて、ドレインへ注入される。

15

ところが、チャネル電界はチャネル領域では均一には生成されず、シリコン基板表面のドレインの近傍付近に集中する。この結果、チャネル内を走行する電子は、特にドレイン近傍での高い電界強度の影響を受けて、高いエネルギーを持った電子（ホットエレクトロン）となる。このホットエレクトロンは、ドレイン近傍での電界強度が大きいほど高いエネルギーを有することになり、例えば F E T の ON/OFF 制御を行うしきい電圧の増加やドレイン電流の低下など、様々な問題を引き起こす可能性がある。

20

これに対して、本実施形態で述べたゲート電極 8 T（いわゆる T 字型ゲート構造）をドレイン端を覆うように配置することにより、前述のホットエレクトロンの現象を抑制することができる。

25

図2 (b) で示すように、ゲート電極8 Tの一方の端部がドレイン端領域のn型半導体導電部4を覆うように配置すると、FETのソースから注入された電子は、ゲート電極8 Tの下部領域に形成されたチャネルに沿って進行するため、前述のn型導電部領域では電流経路が拡大される。その結果、ゲート電極8 Tのド  
5 レイン端領域では、それ以外の領域に比べてドレイン電流密度が大きく低下することになる。ホットエレクトロン現象は、電界強度とともにドレイン電流密度に依存するため、上記の結果、ホットエレクトロンによるFETの性能劣化を大きく低減できる効果を有する。

更に、本実施形態で述べた複数の幅を有するゲート電極構造（いわゆるT字型  
10 ゲート構造）は、設計の自由度の点でも効果がある。

FETのチャネルを流れるドレイン電流量は、ゲート電極の幅(W)と長さ(L)とのパラメータ(W/L)に依存して決まる。ドレインの幅は、素子全体の集積度や配置によって必然的に決まる要素が多いため、ゲート電極の幅(W)を自由に設計することは困難な場合が多い。しかし、本実施形態で述べたT字型  
15 ゲート構造を採用することによって、ドレイン端領域を覆うようにゲートの一部を配置した後に、残りのゲート部分で幅(W)と(L)の素子寸法を自由に設定できることになり、デバイス設計の自由度が向上することになる。

この効果により、素子設計の自由度を確保しながら、ホットエレクトロンによるFETの性能劣化を引き起こす要因を除去でき、極めて安定に、且つ長期間に  
20 わたって安定なデバイス動作が保証できるため、デバイス信頼性を著しく向上できる。

尚、本実施形態の説明では、陰極5の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極5の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料  
25 料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても、同様の

効果を得ることができる。

(第3の実施形態)

以下、本発明の第3の実施形態に係る電界放出型電子源装置の構造について、  
5 図3を参照しながら説明する。図3は、本実施形態における電界放出型電子源装置の断面図である。

本実施形態の構成において、31はp型シリコン基板、32は電界効果トランジスタ(FET)として動作する素子のソース領域となる第1のn型半導体導電部、33はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、34はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、35は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、36はFETのゲート絶縁膜として機能するシリコン酸化膜からなる下部絶縁層、37は電界放出型電子源用引き出し電極として機能させるシリコン酸化膜からなる上部絶縁層、38は電界放出型電子源として動作させるための引き出し電極、  
10 39はFETのチャネル領域を制御するためのゲート電極、40はFET用のソース電極である。

図3に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板31の一方の主表面の一部に、FETのソースとなるn型半導体導電部32及びドレインとなるn型半導体導電部33が形成され、更に、n型半導体導電部33の周囲を囲むような位置に、不純物濃度の低いn型半導体導電部34  
20 が選択的に形成されている。

ドレインとなるn型半導体導電部33の表面には、円形断面を持つタワー形状の陰極35が形成されている。シリコンよりなるタワー形状の陰極35の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造  
25 部が形成されている。陰極35に近接して、円形状の開口を持つ酸化シリコン膜よりなる下部絶縁膜36及び上部絶縁膜37を介して、導電性の引き出し電極3

8が形成されている。ソースのn型半導体導電部32とドレインのn型半導体導電部33及びn型半導体導電部34との間に位置したFETのチャネル領域には、下部絶縁膜36の上であって上部絶縁膜37に埋め込まれた構成を有するFET用のゲート電極39が、形成されている。下部絶縁膜36は、陰極35の先鋭化プロセスで形成した熱酸化膜を用いている。更に、ソースのn型半導体導電部32の上には、コンタクト窓を介して、ソース電極40が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。

p型シリコン基板31と第1のn型半導体導電部32とを接地接続し、引き出し電極38に正の電圧 $V_{ex}$ を印加する。更に、FETのゲート電極39に所定の電圧 $V_g$ を印加すると、ゲート電極39の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。下部絶縁膜36は、FETのしきい電圧を低減するために、良質で薄い条件が望ましい。

この条件下で、引き出し電極38に正の電圧 $V_{ex}$ を印加する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部とが形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極35の先端から電子が電界放出され始める。放出された電子は、図3には図示はしていないp型シリコン基板31と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極35から放出される電子流放射量は、引き出し電極38に印加される固定のゲート電圧 $V_{ex}$ によって制御されるのではなく、陰極35に接続されるFETのゲート電極39に印加される可変ゲートソース間制御電圧 $V_g$ によって制御される。即ち、FETは、そのゲート電極39に印加されるゲートソース間制御電圧 $V_g$ を適切に選択することにより、定電流領域で動作するようになる。このように、陰極35から電界放射される電子流放射量は、このエミッタに直列に接続され放射される電子を供給する機能を持つFETの特性によって、

決定される。従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因の影響を受けず、結果として、極めて安定で正確に制御された電界放射電子流量を得ることができる。

ここで、下部絶縁膜36と上部絶縁膜37により埋め込まれた構成を有するゲート電極39の機能について詳細に説明する。

本実施形態の下部絶縁膜36は、主にFET用のゲート絶縁膜として機能する。FETをON/OFFさせる際のしきい電圧は、ゲート絶縁膜の厚さに強く依存し、より低い電圧で動作をさせるには、できるだけ良質で薄い絶縁膜が必要となる。一方、電界放出型電子源用の引き出し電極38には、下部絶縁膜36と上部絶縁膜37の積層膜を用いている。引き出し電極38には、通常数十ボルトの高い電圧を印加するために、耐圧を考慮して厚い絶縁膜が必要とされる。また、引き出し電極38に電圧を印加することで電界放出型電子源のON/OFF制御を行う場合、絶縁膜は厚く設計される方が、動作スピードや消費電力の点で有利となる。

従って、本実施形態で述べたような構成のゲートを採用すれば、FET用のゲート絶縁膜と電界放出型電子源用の絶縁膜とをそれぞれ独自に設計できるため、素子の高性能化が図りやすい。

更に、ゲート電極39は、上部絶縁膜37により埋め込まれた構造のため、LSIで一般に用いられている多層配線構造が容易に得られる。多層配線を用いることにより、1層配線では不可能なx、y方向のマトリックス駆動用配線構造が容易に実現できることになる。

尚、本実施形態の説明では、陰極35の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極35の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属



材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても、同様の効果を得ることができる。

5           （第4の実施形態）

以下、本発明の第4の実施形態に係る電界放出型電子源装置の構造について、図4（a）及び（b）を参照しながら説明する。図4（a）及び（b）は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図4（a）は、（b）のI-I線における断面構造を示す。

10           本実施形態の構成において、41はp型シリコン基板、42は電界効果トランジスタ（FET）として動作する素子のソース領域となる第1のn型半導体導電部、43はFETのドレイン領域となる不純物濃度の高い第2のn型半導体導電部、44はFETのドレイン領域となる不純物濃度の低い第3のn型半導体導電部、45は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、  
15           46はFETのゲート絶縁膜として機能するシリコン酸化膜からなる下部絶縁層、47は電界放出型電子源用引き出し電極として機能させるシリコン酸化膜からなる上部絶縁層、48は電界放出型電子源として動作させるための引き出し電極、49はFETのチャネル領域を制御するためのゲート電極、50はFETのチャネル領域の外部電界からのシールド電極、51はFET用のソース電極である。

20           図4（a）及び（b）に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板41の一方の主表面の一部に、FETのソースとなるn型半導体導電部42及びドレインとなるn型半導体導電部43が形成され、更に、n型半導体導電部43の周囲を囲むような位置に、不純物濃度の低いn型半導体導電部44が選択的に形成されている。ドレインとなるn型半導体導電部  
25           43の表面には、円形断面を持つタワー形状の陰極45が形成されている。シリコンよりなるタワー形状の陰極45の先端部は、熱酸化を利用した先鋭化プロセ

スによりナノメートルオーダの先端微構造部が形成されている。陰極 4 5 に近接して、円形状の開口を持つ酸化シリコン膜よりなる下部絶縁膜 4 6 及び上部絶縁膜 4 7 を介して、導電性の引き出し電極 4 8 が形成されている。ソースの n 型半導体導電部 4 2 とドレインの n 型半導体導電部 4 3 及び n 型半導体導電部 4 4 との間に位置した F E T のチャネル領域には、下部絶縁膜 4 6 の上にあって上部絶縁膜 4 7 に埋め込まれた構成を有する F E T 用のゲート電極 4 9 が、形成されている。また、F E T のチャネル領域にあって、F E T 用のゲート電極 4 9 が形成されていない領域を覆うように、ゲート電極 4 9 と同一材料からなるシールド電極 5 0 が配置されている。下部絶縁膜 4 6 は、陰極 4 5 の先鋭化プロセスで形成した熱酸化膜を用いている。更に、ソースの n 型半導体導電部 4 2 の上には、コンタクト窓を介してソース電極 5 1 が形成されている。

以下に、上記構成を有する本実施形態における電界放出型電子源装置の動作を説明する。

p 型シリコン基板 4 1 とソースの n 型半導体導電部 4 2 及びシールド電極 5 0 とを接地接続し、引き出し電極 4 8 に正の電圧  $V_{ex}$  を印加する。更に、F E T のゲート電極 4 9 に所定の電圧  $V_g$  を印加すると、ゲート電極 4 9 の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極 4 8 に正の電圧  $V_{ex}$  を印加する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極 4 5 の先端から電子が電界放出され始める。放出された電子は、図示していない p 型シリコン基板 4 1 と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極 4 5 から放出される電子流放射量は、引き出し電極 4 8 に印加される固定のゲート電圧  $V_{ex}$  によって制御されるのではなく、陰極 4 5 に接続される F E T のゲート電極 4 9 に印加される可変ゲートソース間制御電圧  $V_g$  によって制御される。即ち、F E T は、そのゲート電極 4 9 に印加されるゲートソ

ース間制御電圧  $V_g$  を適切に選択することによって、定電流領域で動作するようになる。このように、陰極 45 から電界放射される電子流放射量は、このエミッタに直列に接続され、放射される電子を供給する機能を持つ FET の特性によって決定されることになる。従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因の影響を受けずに、結果として極めて安定で正確に制御された電界放射電子流量を得ることができる。

ここで、シールド電極 50 の機能について詳細に説明する。

所定の真空雰囲気下で前述の電界放出型電子源を動作させると、陰極 45 から電界放出された電子は、真空雰囲気中の残留ガス分子と衝突して、これをイオン化させる。このイオン化は、動作させる真空度、残留分子の種類、濃度、電子を加速させるための外部電界強度、または電界放射される電子密度（エミッション電流量）等に強く依存する。発生したイオンの中で、正に帯電したイオン（陽イオン）は、電子とは反対方向の電界を受けて基板方向へと導かれ、シリコン基板 41 へ照射される。本実施形態で説明した素子構造は、最表面が上部絶縁膜 47 で覆われている。この陽イオンがある一定の密度以上で上部絶縁膜 47 に照射され続けると、上部絶縁膜 47 上に次第に正のチャージが帯電し、正のチャージ電圧が発生する。

仮に、シールド電極 50 が形成されていない FET の場合、以下に述べる問題が発生する。

イオン照射  $\alpha$  により FET のチャネル領域の上部に発生したチャージ電圧が、FET の動作電圧を超えると、誤動作を引き起こすことになる。正常に制御されたドレイン電流に加えて、チャージ電圧による付加的なドレイン電流が流れることにより、FET の電流制御特性が損なわれる。

これに対して、本実施形態で述べたように、基板と導電位に接続されたシール

ド電極 50 でチャネル領域を覆うことにより、チャージ電圧が発生しても、チャネル領域への電界の影響をシールド効果により防ぐことができるため、FET の特性変化を防止できる。

5 実際のパネルでは、 $10^{-6}$  Torr 程度の低真空雰囲気下でのエミッション動作が必要と考えられるため、前述のイオン照射の影響が強まると予想される。そのような場合でも、シールド電極を採用することにより FET の特性変化を防ぐことができ、長期間にわたって安定なエミッション動作が可能であるため、デバイス信頼性を著しく向上させることができる。

10 尚、本実施形態の説明では、陰極 45 の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極 45 の材料として、p 型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても、同様の効果を得ることができる。

#### 15 (第 5 の実施形態)

以下、本発明の第 5 の実施形態に係る電界放出型電子源装置の構造について、図 5 (a) 及び (b) を参照しながら説明する。図 5 (a) 及び (b) は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図 20 5 (a) は、(b) の I-I 線における断面構造を示す。

本実施形態の構成において、51 は p 型シリコン基板、52 は電界効果トランジスタ (FET) として動作する素子のソース領域となる第 1 の n 型半導体導電部、53 は FET のドレイン領域となる不純物濃度の高い第 2 の n 型半導体導電部、54 は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、25 55 は主に FET のゲート絶縁膜として機能するシリコン酸化膜からなる第 1 の絶縁層、56 は主に電界放出型電子源の引き出し電極用絶縁膜として機能するシ

リコン酸化膜からなる第2の絶縁層、57はFET用のチャネル領域を制御するためのゲート電極、58はFET用のソース電極、59は陰極用の引き出し電極である。

図5(a)及び(b)に示されるように、本実施形態における電界放出型電子源装置では、p型シリコン基板51の一方の主表面の一部に、FETのソースとなる第1のn型半導体導電部52及びドレインとなる第2のn型半導体導電部53が形成され、且つ第2のn型半導体導電部53は、第1のn型半導体導電部52に周囲を囲まれるように内部に配置された構成をとる。

また、ソースとなる第1のn型半導体導電部52とドレインとなる第2のn型半導体導電部53との間に位置したFETのチャネル領域の少なくとも一部の表面には、第1の絶縁層55と第2の絶縁層56の間に埋め込まれた構造のゲート電極57が形成されている。更に、第1のn型半導体導電部52上には、コンタクト窓を介して、ソース電極58が形成されている。

ドレインとなる第2のn型半導体導電部53の表面には、円形断面を持つタワー形状の陰極54が形成されている。シリコンよりなるタワー形状の陰極54の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。更に、陰極54の周囲には、一定の開口径を持ち電子放出のための電界を印加するための引き出し電極59が、第2の絶縁層56上に形成されている。

以下に、上記構成を有する本実施形態における電界放出電子源装置の動作を説明する。

p型シリコン基板51とソース領域となる第1のn型半導体導電部52とを接地接続し、引き出し電極59に正の電圧 $V_{ex}$ を印加する。更に、FETのゲート電極57に所定の電圧 $V_g$ を印加すると、ゲート電極57の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極59に正の電圧 $V_{ex}$ を印加する。こ

の際の $V_{ex}$ と $V_g$ との印加条件は、 $V_g < V_{ex}$ の関係を満足するように設定する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部が形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極54の先端から電子が電界放出され始める。放出された電子は、図示していないp型シリコン基板51と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極54から放出される電子流放射量は、引き出し電極59に印加される固定のゲート電圧 $V_{ex}$ によって制御されるのではなく、陰極54に接続されるFETのゲート電極57に印加される可変ゲートソース間制御電圧 $V_g$ によって制御される。即ち、FETは、そのゲート電極57に印加されるゲートソース間制御電圧 $V_g$ を適切に選択することによって、定電流領域で動作するようになる。このように、陰極54から電界放射される電子流放射量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つFETの特性によって決定されることになる。従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量とをあらかじめ設計することが可能になる。

特に、FETの飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因の影響を受けずに、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

ここで、本実施形態の特徴であるソースとドレインの配置構成について、説明する。

本実施形態のドレイン構造の特徴は、外周部をソース領域及びチャネル領域で囲まれたアイランド構造を有していることである。また、FETの動作を制御するゲート電極が、電界放出電子源部の陰極を中心に対称に配置されている。この配置を採用することにより、ソース領域からドレイン領域へキャリアを均等に注入することが可能になる。

通常構造のドレインは、チャネル領域に接した一部の境界よりキャリアを注入している。この場合、注入されたキャリアは、ドレイン内を拡散して電界放出電

子源部の陰極に到達することになる。従って、ドレインの位置に応じてキャリアの濃度が異なることも予想される。これに対して、上記に説明した本実施形態の構成では、そのような問題は発生しない。

上記では、ドレインに1つの陰極を形成した構成について述べたが、FED用の画素として用いる場合には、通常、1画素当たり数百個の陰極をドレインに形成するマルチエミッタの構成を用いる。ドレイン内でキャリアの密度が異なる場合、陰極の位置によって陰極から放出される電子の量がばらつくことも予想されるが、本発明では、陰極が形成されたドレインに対して対称に配置されたゲート電極を通じて均一且つ対称にキャリアが注入されるため、ドレイン内での電子放出のばらつきも抑制される。

更に、本発明の引き出し電極は、電子放出量の制御だけでなく、放出された電子のビーム軌道制御にも有効である。

FETのゲート電極に印加する電圧 $V_g$ と陰極を動作させるための引き出し電圧 $V_{ex}$ との関係を、予め $V_g < V_{ex}$ の条件で最適な条件で設定しておくことにより、放出された電子が真空中で $V_g$ の電界の影響を受けて、収束作用を示す。これは、 $V_{ex}$ に比べて低く設定された $V_g$ の電位が、陰極から放出され対向の陽極へ向かう電子に収束作用を及ぼす電界を発生させることによる。特に、陰極に対して対称に配置したゲート電極からの収束電界が、電子軌道に対して対称に生成されるため、従来例にはない良好なレンズ作用を有することになる。

また、収束作用をもたらすゲート電極57は、第1の絶縁層55と第2の絶縁層56の間に埋め込まれた配線として形成されており、引き出し電極59より下層の位置に形成されている。この相対的な配置構成により、 $V_{ex}$ に比べて相対的に低い電圧を $V_g$ に印加した場合においても、ゲート電極57の影響は陰極54に及ばない。

従来構造では、収束機能とともに電子放出量が低下していたが、本発明の構成では電子放出量を維持したままで十分な収束機能を持つことが可能となる。

以上のように、本実施形態の構成では、ドレイン内での電子放出のばらつき抑制や対称に配置されたゲート電極によるビーム収束効果が期待できるため、極めて安定に、且つビーム広がり小さい高密度なエミッタ動作が保証できるため、高精細表示に適した良好な電界放出電子源として期待できる。

5       尚、本実施形態の説明では、陰極 5 4 の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極 5 4 の材料として、p 型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の  
10       効果を得ることができる。

#### （第 6 の実施形態）

以下、本発明の第 6 の実施形態に係る電界放出型電子源装置の構造について、図 6（a）及び（b）を参照しながら説明する。図 6（a）及び（b）は、それ  
15       ぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図 6（a）は、（b）の I-I 線における断面構造を示す。

本実施形態の構成において、6 1 は p 型シリコン基板、6 2 は電界効果トランジスタ（FET）として動作する素子のソース領域となる n 型半導体導電部、6 3 は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、6 4 は  
20       主に FET のゲート絶縁膜として機能するシリコン酸化膜からなる第 1 の絶縁層、6 5 は主に電界放出型電子源の引き出し電極用絶縁膜として機能するシリコン酸化膜からなる第 2 の絶縁層、6 6 は FET 用のチャネル領域を制御するためのゲート電極、6 7 は FET 用のソース電極、6 8 は陰極用の引き出し電極である。

図 6（a）及び（b）に示すように、本実施形態における電界放出型電子源装置では、p 型シリコン基板 6 1 の一方の主表面の一部に、FET のソースとなる  
25       第 1 の n 型半導体導電部 6 2、陰極 6 3、及び引き出し電極 6 8 を含む電界放出



電子源部が形成され、且つ前記電界放出電子源部は、 $n$ 型半導体導電部 6 2 に周囲を囲まれるように内部に配置された構成をとる。

また、ソースとなる  $n$  型半導体導電部 6 2 と前記電界放出電子源部との間に位置した F E T のチャネル領域の少なくとも一部の表面には、第 1 の絶縁層 6 4 を介して電流を制御するためのゲート電極 6 6 が、第 1 の絶縁層 6 4 と第 2 の絶縁層 6 5 との間に埋め込まれた配線として、陰極 6 3 に対して対称な配置で形成されている。更に、ソースの  $n$  型半導体導電部 6 2 上には、コンタクト窓を介してソース電極 6 7 が形成されている。

ソースの  $n$  型半導体導電部 6 2 の内部にあってドレイン領域となるシリコン基板 6 1 の表面には、円形断面を持つタワー形状の陰極 6 3 が形成されている。シリコンよりなるタワー形状の陰極 6 3 の先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。更に、陰極 6 3 の周囲には、一定の開口径を持ち、電子放出のための電界を印加するための引き出し電極 6 8 が、第 2 の絶縁層 6 5 の上に形成されている。

以下に、上記構成を有する本実施形態における電界放出電子源装置の動作を説明する。

$p$  型シリコン基板 6 1 とソース領域となる  $n$  型半導体導電部 6 2 とを接地接続し、引き出し電極 6 8 に正の電圧  $V_{ex}$  を印加する。更に、F E T のゲート電極 6 6 に所定の電圧  $V_g$  を印加すると、ゲート電極 6 6 の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極 6 8 に正の電圧  $V_{ex}$  を印加する。この際の  $V_{ex}$  と  $V_g$  の印加条件は、 $V_g < V_{ex}$  の関係を満足するように設定する。この引き出し電極への正の電圧印加により、引き出し電極下部領域の  $p$  型シリコン基板表層部には空乏層が形成される。十分に高い  $V_g$  電圧条件では、この空乏層の表面に  $n$  型の反転層が形成され、電子キャリアの電導層として機能する。この結果、チャネル領域から注入された電子は、形成された  $n$  型反転層を介してエミ

ッタ方向へ導かれることになる。この結果、ドレインにn型半導体導電部を形成しておかなくても、 $V_{ex}$ に一定の電圧印加を行うことで、ほぼ同様のトランジスタ動作が可能になる。

5 一定のサブミクロンオーダーのゲート開口径とナノメートルオーダーの陰極先端部とが形成された電界放出電子源では、通常数十ボルトの電圧印加により、陰極63の先端から電子が電界放出され始める。放出された電子は、図示していないp型シリコン基板61と対向配置された陽極板へ向かって、加速されながら進行する。

10 この場合、陰極63から放出される電子流放射量は、引き出し電極68に印加される固定のゲート電圧 $V_{ex}$ によって制御されるのではなく、陰極63に接続されるFETのゲート電極66に印加される可変ゲートソース間制御電圧 $V_g$ によって制御される。即ち、FETは、そのゲート電極66に印加されるゲートソース間制御電圧 $V_g$ を適切に選択することによって、定電流領域で動作するようになる。このように、陰極63から電界放射される電子流放射量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つFETの特性によって、決定される。従って、FETの設計を最適に行うことによって、FETの動作条件と電界放射電子流量をあらかじめ設計することが可能になる。特に、FETの飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因の影響を受けずに、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

20 ここで、本実施形態における特徴であるソースとドレインの配置構成について、説明する。

25 本実施形態の電界放出電子源部の特徴は、外周部をソース領域及びチャネル領域で囲まれたアイランド構造を有していることである。また、FETの動作を制御するゲート電極が、電界放出電子源部の陰極を中心に対称に配置されている。この配置を採用することにより、ソース領域から引き出し電極下部に生成された

n型反転層領域へ、キャリアを均等に注入することが可能になる。通常構造のドレインは、チャンネル領域に接した一部の境界よりキャリアを注入している。この場合、注入されたキャリアはドレイン内を拡散して電界放出電子源部の陰極に到達することになる。従って、ドレインの位置に応じてキャリアの濃度が異なることも予想される。これに対して、上記に説明した本実施形態の構成では、そのような問題は発生しない。

上記では、ドレインとして機能するn型反転層領域に1つの陰極を形成した構成について述べたが、FED用の画素として用いる場合には、通常、1画素当たり数百個の陰極をドレインに形成するマルチエミッタの構成を用いる。

ドレイン内でキャリアの密度が異なる場合、陰極の位置によって陰極から放出される電子の量がばらつくことも予想されるが、本発明では、陰極が形成されたn型反転層領域に対して対称に配置されたゲート電極を通じて均一且つ対称にキャリアが注入されるため、n型反転層領域内での電子放出のばらつきも抑制されることになる。

更に、本発明の引き出し電極は電子放出量の制御だけでなく、放出された電子のビーム軌道制御にも有効である。つまり、FETのゲート電極に印加する電圧 $V_g$ と陰極を動作させるための引き出し電圧 $V_{ex}$ の関係を予め $V_g < V_{ex}$ の条件で最適な条件で設定しておくことにより、放出された電子が真空中で $V_g$ の電界の影響を受けて収束作用を示す。これは、 $V_{ex}$ に比べて低く設定された $V_g$ の電位が、陰極から放出され対向の陽極へ向かう電子に収束作用を及ぼす電界を発生させることによる。陰極に対して対称に配置したゲート電極からの収束電界が、電子軌道に対して対称に生成されるため、従来例にはない良好なレンズ作用を有することになる。

また、収束作用をもたらすゲート電極66は、第1の絶縁層64と第2の絶縁層65の間に埋め込まれた配線として形成されており、引き出し電極68より下層の位置に形成されている。この相対的な配置構成により、 $V_{ex}$ に比べて相対

的に低い電圧を  $V_g$  に印加した場合においてもゲート電極 6 6 の影響は陰極 6 3 に及ばない。従来構造では、収束機能とともに電子放出量が低下していたが、本発明の構成では電子放出量を維持したままで十分な収束機能を持つことが可能となる。

5        以上のように、本実施形態では、ドレインとして機能する n 型反転層領域内での電子放出のばらつき抑制や対称に配置されたゲート電極によるビーム収束効果が期待できるため、極めて安定に且つビーム広がり小さい高密度なエミッタ動作が保証できる。これより、高精細表示に適した良好な電界放出電子源として期待できる。

10        尚、本実施形態の説明では、陰極 6 3 の形状として、タワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極 6 3 の材料として、p 型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の効果を得ることができる。

#### （第 7 の実施形態）

以下、本発明の第 7 の実施形態に係る電界放出型電子源装置の構造について、図 7 (a) 及び (b) を参照しながら説明する。図 7 (a) 及び (b) は、それぞれ、本実施形態における電界放出型電子源装置の断面図及び平面図であり、図 7 (a) は、(b) の I-I 線における断面構造を示す。

20        本実施形態の構成において、7 1 は p 型シリコン基板、7 2 は電界効果トランジスタ (FET) として動作する素子のソース領域となる第 1 の n 型半導体導電部、7 3 は FET のドレイン領域となる不純物濃度の高い第 2 の n 型半導体導電部、7 4 は円形断面を持つタワー形状の電界放出型電子源として動作する陰極、  
25        7 5 は主に FET のゲート絶縁膜として機能するシリコン酸化膜からなる第 1 の

絶縁層である。76は主に電界放出型電子源の引き出し電極用絶縁膜として機能するシリコン酸化膜からなる第2の絶縁層、77はFET用のチャネル領域を制御するためのゲート電極、78はFET用のソース電極、79は陰極用の引き出し電極である。

5 図7(a)及び(b)に示したように、本実施形態における電界放出型電子源装置では、p型シリコン基板71の一方の主表面の一部に、FETのソースとなる第1のn型半導体導電部72及びドレインとなる第2のn型半導体導電部73が形成され、且つ第2のn型半導体導電部73は、第1のn型半導体導電部72に周囲を囲まれるように内部に配置された構成をとる。

10 ソースとなる第1のn型半導体導電部72の内周形状とドレインとなる第2のn型半導体導電部73の外周形状が、それぞれ同心円状に形成された円形状を有しており、FETのチャネル領域は前記ソース領域と前記ドレイン領域との間に位置して、リング状の形状となっている。また、前記リング状のチャネルを覆うように、第1の絶縁層75と第2の絶縁層76との間に埋め込まれたリング状の  
15 ゲート電極77が、形成されている。

ソースのn型半導体導電部72の上には、コンタクト窓を介してソース電極78が形成されている。

ドレインとなる第2のn型半導体導電部73の表面には、円形断面を持つタワー形状の陰極74が形成されている。シリコンよりなるタワー形状の陰極74の  
20 先端部は、熱酸化を利用した先鋭化プロセスにより、ナノメートルオーダの先端微構造部が形成されている。更に、陰極74の周囲には、一定の開口径を持ち、電子放出のための電界を印加するための引き出し電極79が、第2の絶縁層76の上に形成されている。

以下に、上記構成を有する本実施形態における電界放出電子源装置の動作を説明する。  
25

p型シリコン基板71とソース領域となる第1のn型半導体導電部72とを接

地接続し、引き出し電極 7 9 に正の電圧  $V_{ex}$  を印加する。更に、FET のゲート電極 7 7 に所定の電圧  $V_g$  を印加すると、ゲート電極 7 7 の下部のチャネル領域がオープン状態となり、ソースからドレイン方向に電子キャリアが注入される条件が整う。この条件下で、引き出し電極 7 9 に正の電圧  $V_{ex}$  を印加する。この際の  $V_{ex}$  と  $V_g$  の印加条件は、 $V_g < V_{ex}$  の関係を満足するように設定する。サブミクロンオーダのゲート開口径とナノメートルオーダの陰極先端部とが形成された電界放出電子源では、通常数十ボルトの電圧印加により陰極 7 4 の先端から電子が電界放出され始める。放出された電子は、図示しない p 型シリコン基板 7 1 と対向配置された陽極板へ向かって、加速されながら進行する。

この場合、陰極 7 4 から放出される電子流放射量は、引き出し電極 7 9 に印加される固定のゲート電圧  $V_{ex}$  によって制御されるのではなく、陰極 7 4 に接続される FET のゲート電極 7 7 に印加される可変ゲートソース間制御電圧  $V_g$  によって制御される。即ち、FET は、そのゲート電極 7 7 に印加されるゲートソース間制御電圧  $V_g$  を適切に選択することによって、定電流領域で動作するようになる。このように、陰極 7 4 から電界放射される電子流放射量は、このエミッタに直列に接続されて放射される電子を供給する機能を持つ FET の特性によって決定されることになる。従って、FET の設計を最適に行うことによって、FET の動作条件と電界放射電子流量をあらかじめ設計することが可能になる。特に、FET の飽和動作領域で電界放射を行うことで、エミッタ自身の不安定要因の影響を受けずに、結果として極めて安定で、正確に制御された電界放射電子流量を得ることができる。

ここで、本実施形態の特徴であるリング状のゲート電極構成について、説明する。

本実施形態のドレイン構造の特徴は、外周部をソース領域及びチャネル領域で囲まれたアイランド構造を有していることである。また、FET の動作を制御するゲート電極が、電界放出電子源部の陰極を中心にリング状に対称に配置されて

いる。この配置を採用することにより、ソース領域からドレイン領域へ、キャリアを均等に注入することが可能になる。

通常構造のドレインは、チャネル領域に接した一部の境界よりキャリアを注入している。この場合、注入されたキャリアは、ドレイン内を拡散して電界放出電子源部の陰極に到達することになる。従って、ドレインの位置に応じてキャリアの濃度が異なることも予想される。

本実施形態の構成では、ドレインに1つの陰極を形成した構成について述べたが、FED用の画素として用いる場合には、通常、1画素当たり数百個の陰極をドレインに形成するマルチエミッタの構成を用いる。ドレイン内でキャリアの密度が異なる場合、陰極の位置によって陰極から放出される電子の量がばらつくことも予想されるが、本発明では、陰極が形成されたドレインに対して対称に配置されたゲート電極を通じて、均一且つ対称にキャリアが注入されるため、ドレイン内での電子放出のばらつきも抑制されることになる。

更に、本発明の引き出し電極は、電子放出量の制御だけでなく、放出された電子のビーム軌道制御にも有効である。つまり、FETのゲート電極に印加する電圧 $V_g$ と陰極を動作させるための引き出し電圧 $V_{ex}$ の関係を予め $V_g < V_{ex}$ の条件で最適な条件で設定しておくことにより、放出された電子が真空中で $V_g$ の電界の影響を受けて収束作用を示す。これは、 $V_{ex}$ に比べて低く設定された $V_g$ の電位が、陰極から放出され対向の陽極へ向かう電子に収束作用を及ぼす電界を発生させることによる。陰極に対して対称にリング状に配置したゲート電極からの収束電界が、電子軌道に対して完全に対称に生成されるため、従来例にはない良好なレンズ作用を有することになる。

また、収束作用をもたらすゲート電極77は、第1の絶縁層75と第2の絶縁層76との間に埋め込まれた配線として形成されており、引き出し電極79より下層の位置に形成されている。この相対的な配置構成により、 $V_{ex}$ に比べて相対的に低い電圧を $V_g$ に印加した場合においても、ゲート電極77の影響は陰極

74に及ばない。従来構造では、収束機能とともに電子放出量が低下していたが、本発明の構成では、電子放出量を維持したままで十分な収束機能を持つことが可能となる。

5 以上のように、本実施形態によれば、ドレイン内での電子放出のばらつき抑制や対称に配置されたリング状のゲート電極による完全なビーム収束効果が期待できるため、極めて安定に且つビーム広がり小さい高密度なエミッタ動作が保証できる。このため、得られる構成は、高精細表示に適した良好な電界放出電子源として期待できる。

10 なお、本実施形態の説明では、陰極74の形状としてタワー形状の例を述べたが、従来型の円錐型陰極形状でも同様の効果を得ることができる。また、陰極74の材料として、p型シリコン基板を加工して形成した例を用いたが、従来型の金属材料（モリブデンやタングステン等の高融点金属材料）や炭素系材料（ダイヤモンド、グラファイト、またはダイヤモンドライクカーボン等）を用いても同様の効果を得ることができる。

15 なお、上記で説明した各実施形態における本発明の特徴は、実際の電界放出型電子源装置の構成にあたって、適切に組み合わせて適用できる。

#### 産業上の利用の可能性

20 以上のように、本発明に係る電界放出型電子源装置によると、FETのドレイン端部が不純物濃度の低いウエルから構成されるため、FET動作時のドレイン近傍の電界集中を大幅に低減することができる。その結果、従来ホットエレクトロン等により引き起こされていたFETの性能劣化を防ぎ、デバイス動作の信頼性を著しく向上させることができるという利点がある。

25 また、不純物元素の熱拡散速度の違いを利用することにより、容易に不純物濃度の異なる複数のウエル構造を実現できるメリットがある。

更に、不純物元素として、半導体プロセスで用いられる熱拡散速度の早い燐元



素及び熱拡散速度の遅い砒素元素を用いれば、制御性に優れた不純物プロファイルを形成できるメリットがある。

また、FETのチャネルゲートの一部をドレイン端領域を覆うように配置すれば、ドレイン電流密度を低下させることができ、結果としてホットエレクトロン  
5 によるFETの性能劣化を防ぐ利点がある。

また、FET用のトランジスタゲート絶縁膜を薄く、且つ電界放出型電子源用の絶縁膜を厚く設定できるので、デバイス性能を向上できる利点がある。更に、チャネルゲート電極が絶縁膜に埋め込まれた構成を有するため、多層配線が容易に形成でき、マトリックス駆動配線用としても適している。

また、ゲート絶縁膜としてシリコン熱酸化膜を用いれば、制御性に優れ且つ高い信頼性が得られるFET制御が可能になる。  
10

FETのチャネル領域が、チャネルゲート領域を除いてシールド電極で覆われた構成とすれば、電子放出の際のイオンチャージによる外部電界からの影響を、防ぐことができる。

更に、シールド電極の電位を基板電位と同じに保持すれば、外部電界からのシールド効果が、より高まる。  
15

FET制御用のゲート電極配置をドレインを中心に対称的に設計すれば、ソースからドレインへの電子注入が均一化され、電子放出の均一性を向上させることができる。同時に、引き出し電極より下層に位置するゲート電極を用いることにより、電界放出の量を低下させることなくビーム軌道を収束させることができる。  
20

また、引き出し電極による反転層を利用することにより、n型半導体導電層と同等の機能を持たせることができ、工程の簡略化が図れる。

更に、ソースの内周部とドレインの外周部とを同心円周状に形成すれば、ソースからドレインへのキャリア注入が均一化され、良好なトランジスタ特性が得られる。  
25

また、FETのゲート電極を、ドレインを中心に対称にリング状に形成すれば、

電子軌道の収束動作を、より確実に行うことができる。

ゲート電極に印加される電圧  $V_g$  と引き出し電極に印加される電圧  $V_{ex}$  との間に、 $V_g < V_{ex}$  の関係を持たせることによって、陰極から放出される電子に負の電界作用を生じさせることができ、より確実に電子軌道の収束を行うことができる。

5

## 請求の範囲

1. p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、

該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、

を備え、

該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

該ドレイン領域が、不純物濃度の異なる少なくとも2種類のウエルを含み、

該少なくとも2種類のウエルのうちで不純物濃度の低いウエルが、該電界効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている、電界放出型電子源装置。

2. 前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種類のn型不純物元素が含まれている、請求項1に記載の電界放出型電子源装置。

3. 前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度が早い燐元素とシリコン基板中での熱拡散速度が遅い砒素元素とが含まれている、請求項1に記載の電界放出型電子源装置。

4. p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、

5 該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、

を備え、

該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該  
10 電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

該電界効果トランジスタ部の該ゲート電極が、少なくとも2種類の異なるゲート幅の部分を含む形状を有しており、該ゲート電極の一部が、該ドレイン領域の端部を覆うように配置されている、電界放出型電子源装置。

15

5. p型シリコン基板上に第1の絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、

20 該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、

を備え、

該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該  
25 電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

該電界効果トランジスタの該ゲート電極と該p型シリコン基板との間に形成されたゲート絶縁膜が、該引き出し電極と該p型シリコン基板との間に形成された該第1の絶縁膜より薄い膜で構成され、且つ該ゲート絶縁膜が該第1の絶縁膜によって埋め込まれた構成を有する、電界放出型電子源装置。

5

6. 前記ゲート絶縁膜が、前記電界放出電子源部の前記陰極部の先端を鋭い形状にするための先鋭化熱酸化処理工程で形成されたシリコン熱酸化膜から構成されている、請求項5に記載の電界放出型電子源装置。

10

7. p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、

15

該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、

を備え、

該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であっ

20

て、

該電界効果トランジスタ部の該ゲート電極と同一材料から構成された、該電界効果トランジスタ部のチャネル領域のうちで該ゲート電極によって覆われていない領域を覆うように配置されたシールド電極を更に備える、電界放出型電子源装置。

25

8. 前記シールド電極が、前記p型シリコン基板と同電位に保持されており、前記ゲート電極に起因しない外部電界の前記チャネル領域に対する影響を遮断する機能を有する、請求項7に記載の電界放出型電子源装置。

5 9. p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、

10 該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、  
を備え、

15 該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

該電界効果トランジスタ部の該ドレイン領域が、該電界効果トランジスタ部のソース領域の内部に、該ソース領域で囲まれるように配置され、

該電界効果トランジスタ部の該ゲート電極が、該電界放出電子源部の該陰極部に対して平面的に対称な配置構成を有する、電界放出型電子源装置。

20 10. 前記ドレイン領域がp型導電層からなる、請求項9に記載の電界放出型電子源装置。

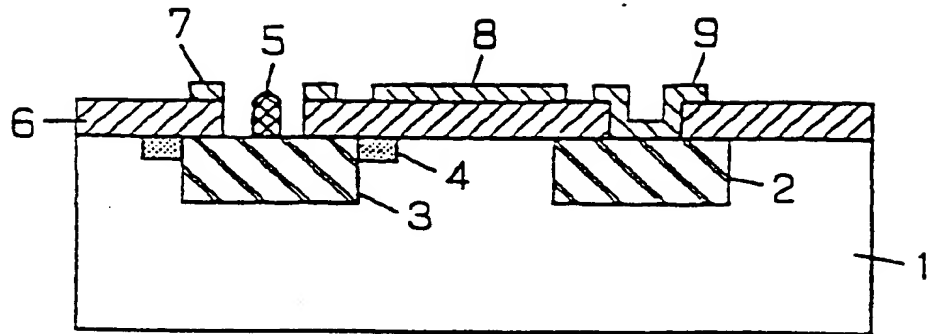
25 11. 前記ドレイン領域のうちで、前記電界効果トランジスタ部の前記チャネル領域に接する外周部と、前記ソース領域の内周部とが、同心円周上に形成された円形状を有する、請求項9に記載の電界放出型電子源装置。

12. 前記ソース領域と前記ドレイン領域との間に形成されている前記ゲート電極の少なくとも一部が、円弧状の対称な形状を有する、請求項9に記載の電界放出型電子源装置。

- 5 13. 前記電界放出電子源部の前記引き出し電極に印加される第1の電圧  $V_{ex}$  と前記電界効果トランジスタ部の前記ゲート電極に印加される第2の電圧  $V_g$  との間に、 $V_g < V_{ex}$  なる関係が存在する、請求項9に記載の電界放出型電子源装置。

1

(a)



(b)

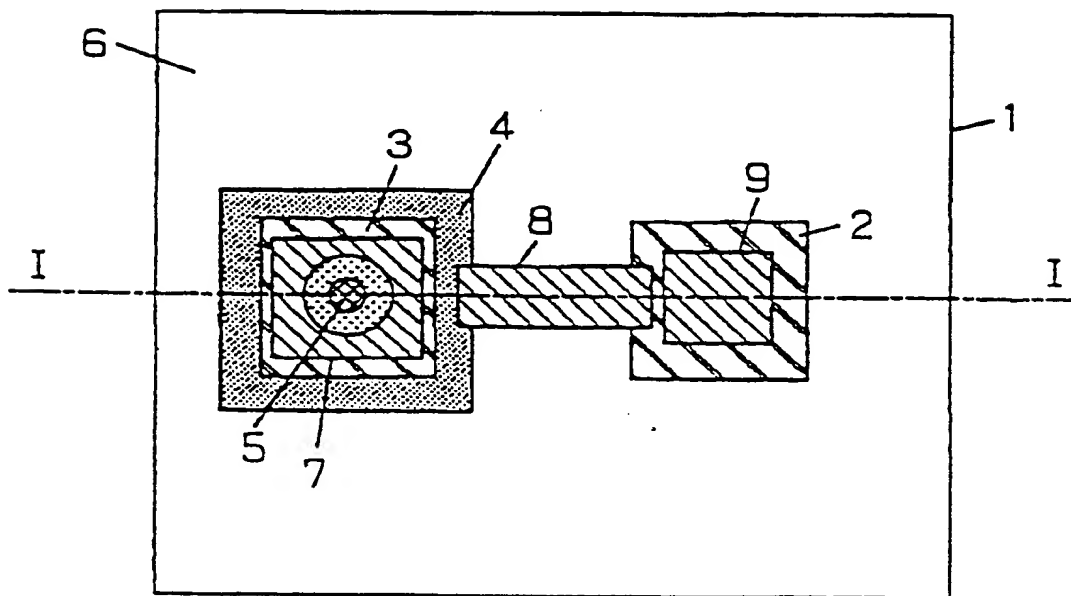
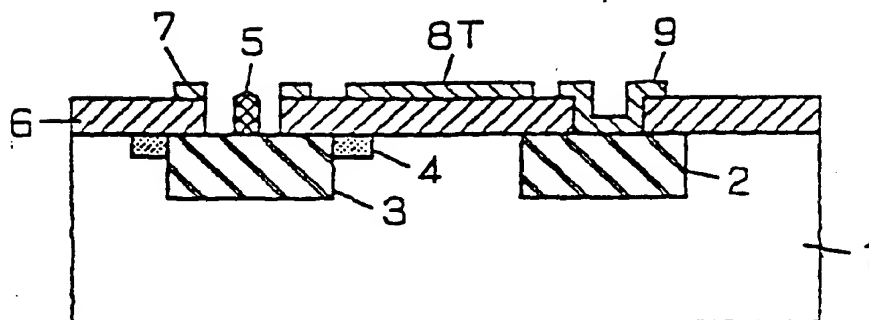




図 2

(a)



(b)

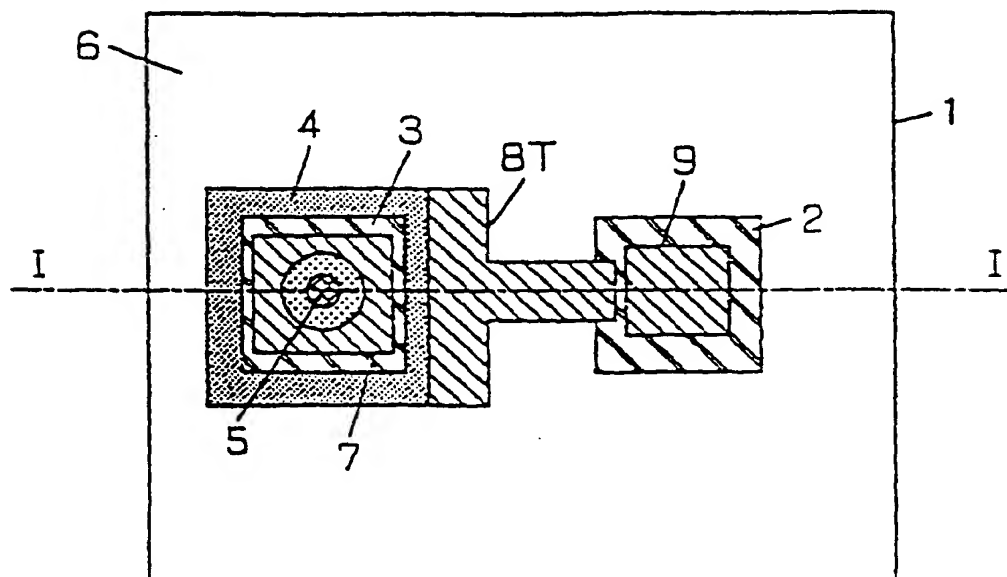


図 3

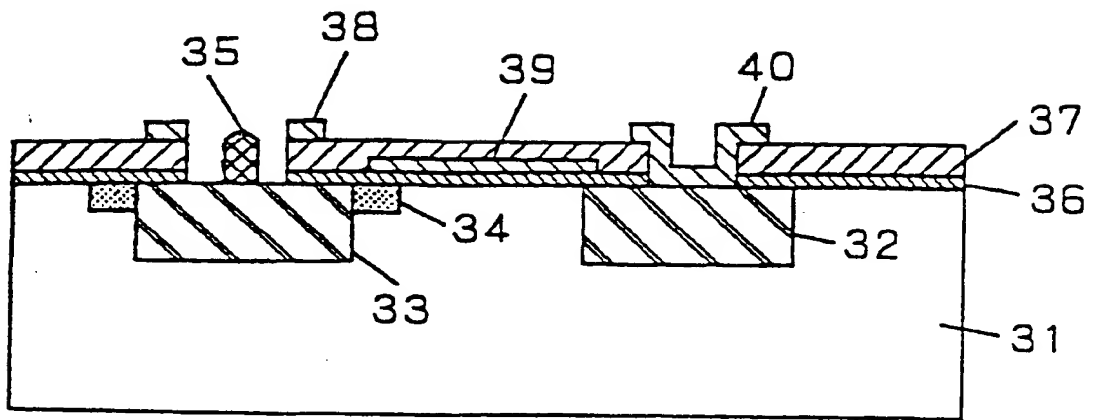
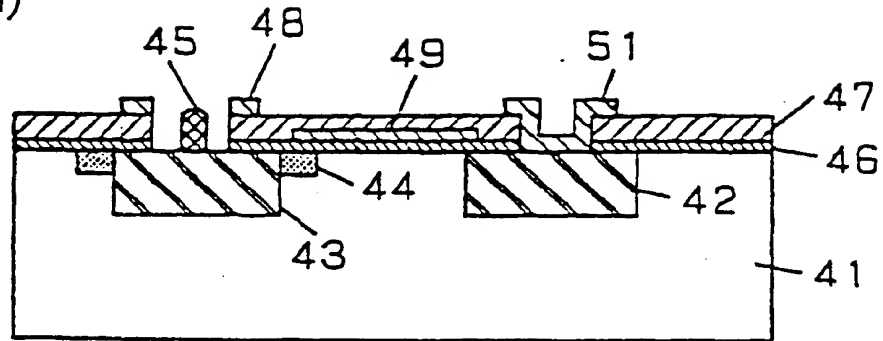


図 4

(a)



(b)

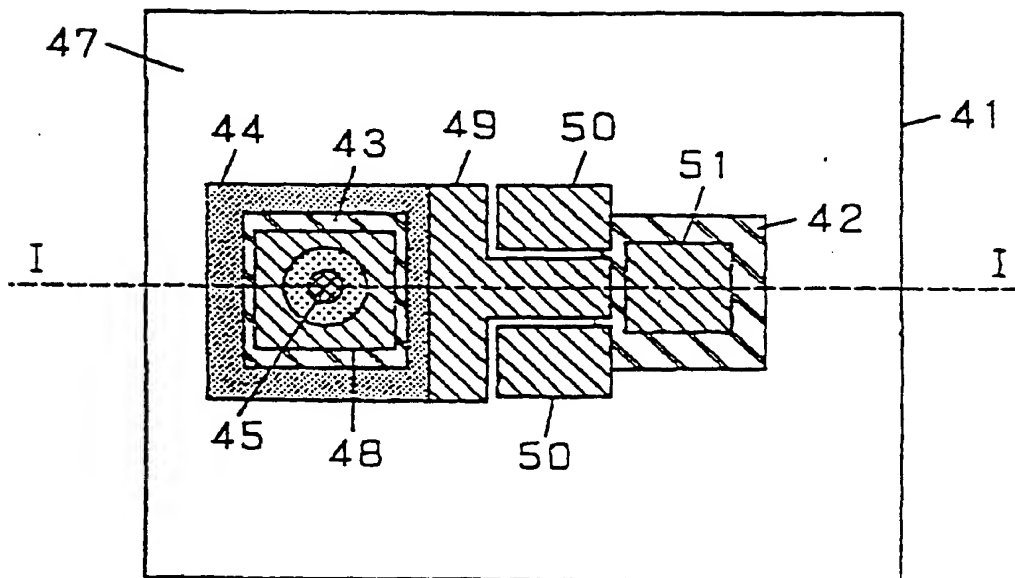
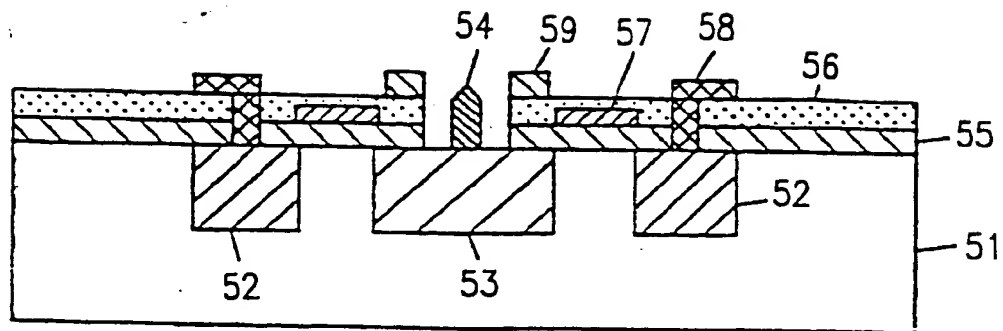
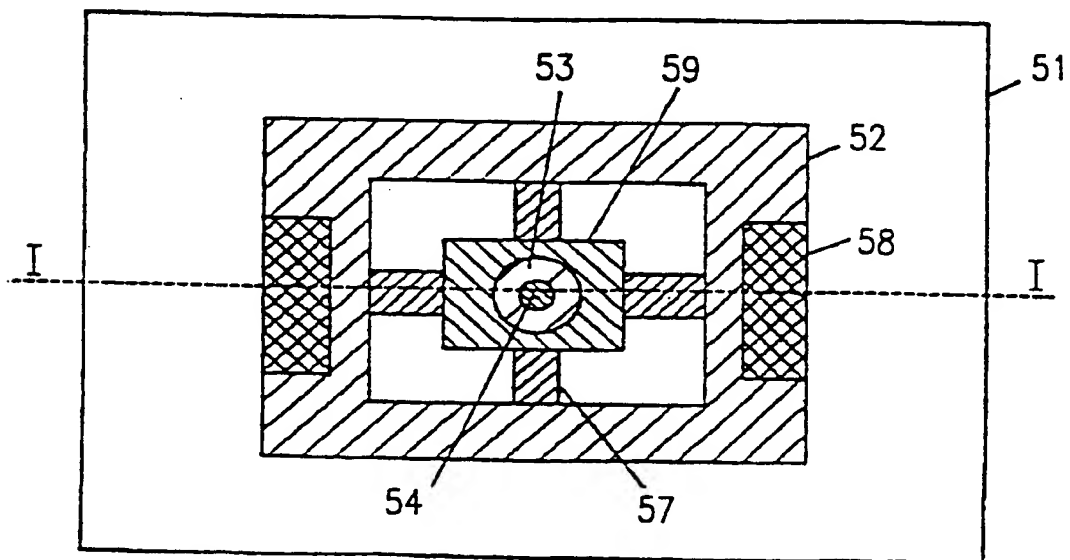


图 5

(a)

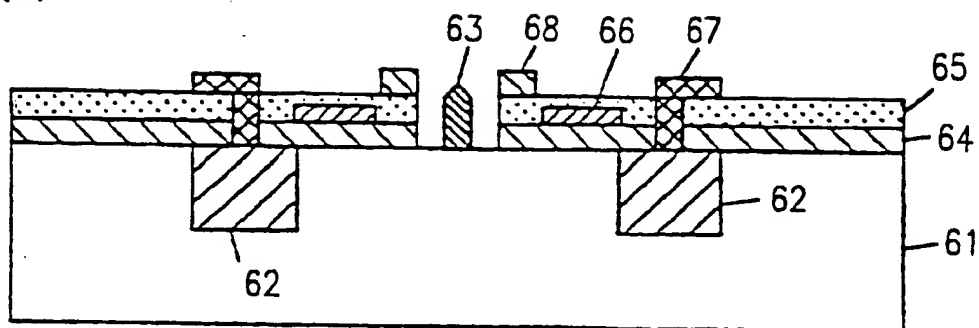


(b)



6

(a)



(b)

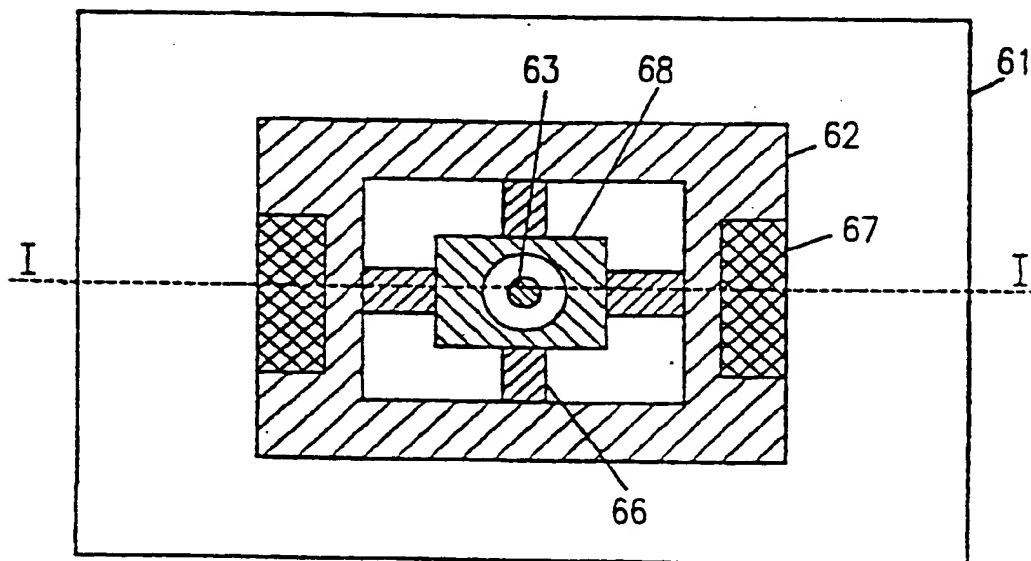
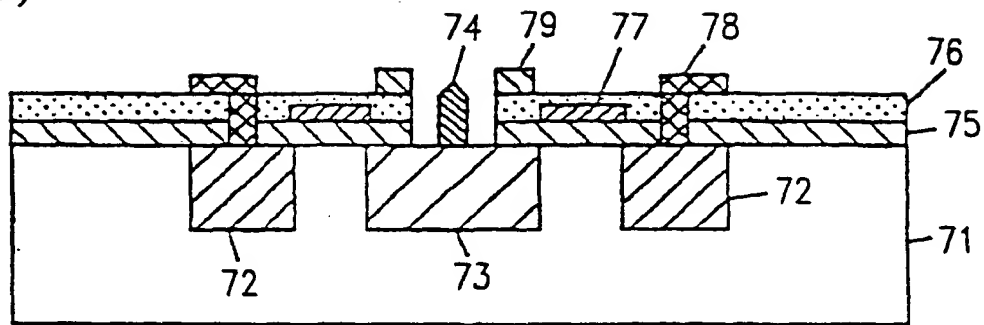


図 7

(a)



(b)

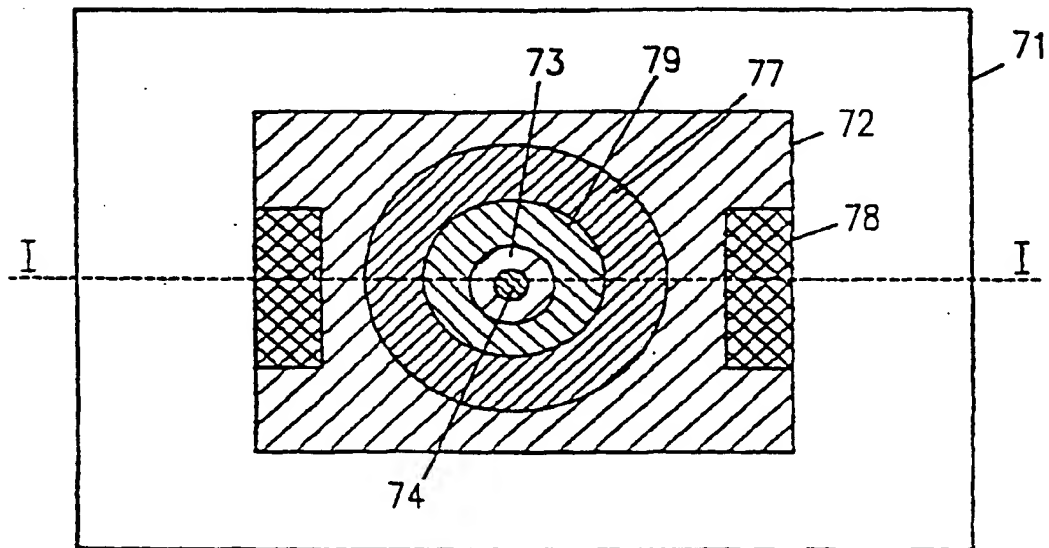
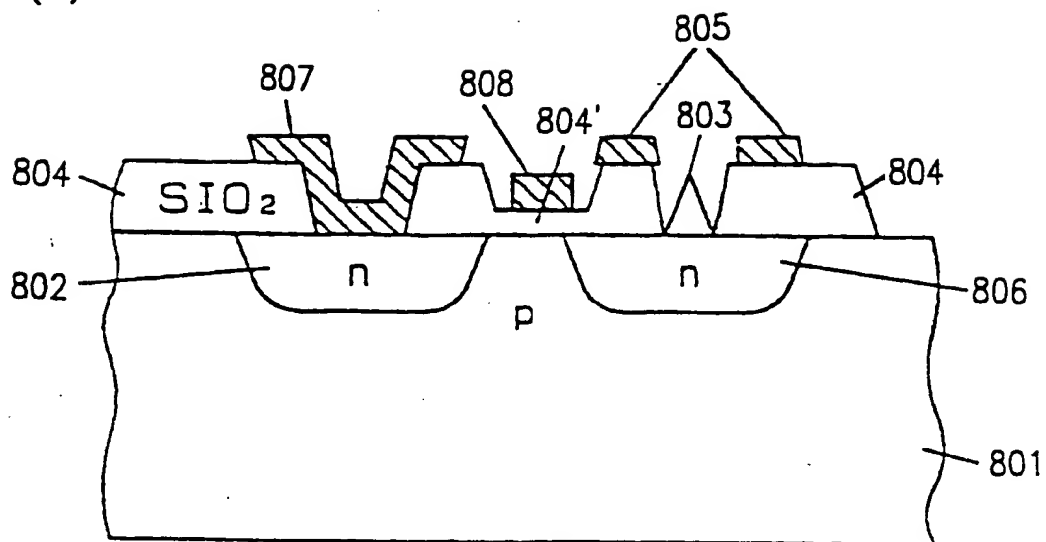


図 8

(a)



(b)

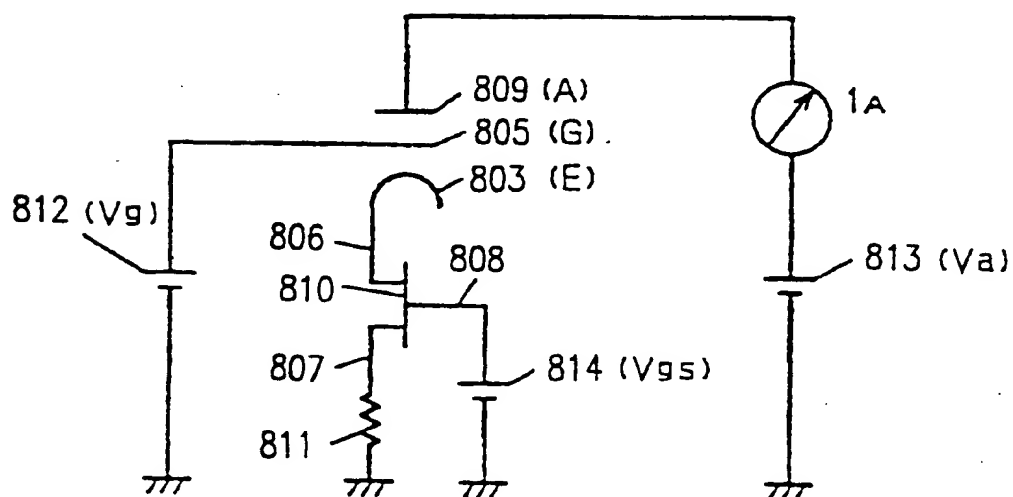
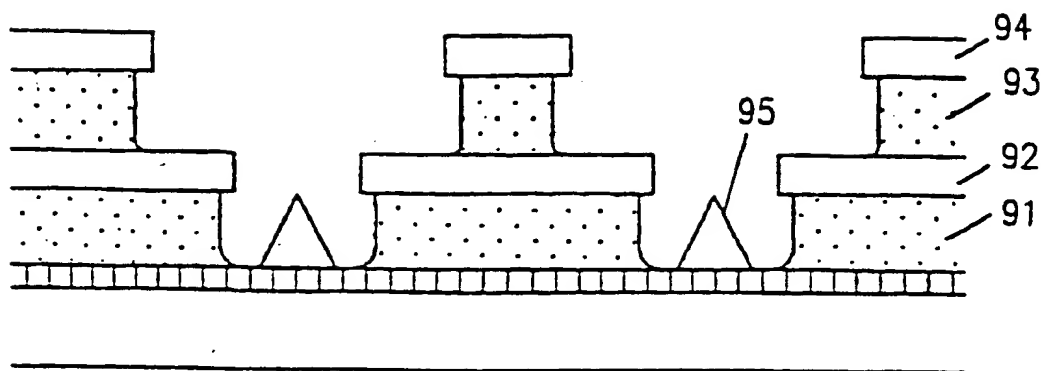


図 9





## 第Ⅱ欄の続き

請求の範囲1-3, 4はホットエレクトロンによるFET性能の劣化を抑制することを目的としたものであり、請求の範囲5-6はFET用のゲート絶縁膜と電界放出型電子源用の絶縁膜とをそれぞれ独自に設計すること、及び多層配線構造を容易に得ることを目的としたものであり、請求の範囲7-8はFETのチャネル領域の上部に発生するチャージ電圧によるFETの特性変化を防止することを目的としたものであり、請求の範囲9-13はソース領域からドレイン領域へキャリアを均等に注入すること、及びFETのゲート電極により、電子放出量を維持したまま収束作用を得ることを目的としたものである。従って、上記請求の範囲に記載された発明は互いに同一の目的を達成するものとは認められない。

また、請求の範囲1-3, 4と請求の範囲5-6と請求の範囲7-8と請求の範囲9-13に記載された発明に互いに共通する構成は、出願人が先行技術として挙げた特開平8-87957号公報に記載された発明に開示されている構成に過ぎず、上記請求の範囲に記載された発明は互いにその主要部が共通するとは認められない。

したがって、請求の範囲1-3, 4、請求の範囲5-6、請求の範囲7-8、請求の範囲9-13に記載された発明は、これらの発明の間に一又は二以上の同一の又は対応する特別な技術的特徴を含む技術的な関係があるとは認められず、これらの発明は一の又は単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

## 第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

## C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 60-55616, A (株式会社日立製作所) 30. 3月. 1985 (30. 03. 85) 全文、第1図、第2図 (ファミリーなし)	2, 3
Y	J P, 60-22375, A (株式会社諏訪精工舎) 4. 2月. 1985 (04. 02. 85) 全文、第2図 (ファミリーなし)	4
EX	J P, 11-102637, A (双葉電子工業株式会社) 13. 4月. 1999 (13. 04. 99) 全文、第1-7図 (ファミリーなし)	7, 8

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>\*</sup> H01J1/30, H01L27/06

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>\*</sup> H01J1/30, H01L21/336, 27/06, 29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年  
 日本国公開実用新案公報 1971-1999年  
 日本国登録実用新案公報 1994-1999年  
 日本国実用新案登録公報 1996-1999年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JICSTファイル (JOIS)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	J P, 7-130281, A (日本電気株式会社) 19. 5月, 1995 (19. 05. 95) 【0014】、第2図 & EP, 651417, A & US, 5550435, A	1, 5 2-4, 6 9-13
Y A	J P, 9-63467, A (株式会社神戸製鋼所) 7. 3月, 1997 (07. 03. 97) 【0031】～【0035】、第1図 (ファミリーなし)	4, 6 9-13

☒ C欄の続きにも文献が列挙されている。☐ ハテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一ハテントファミリー文献

国際調査を完了した日

19. 07. 99

国際調査報告の発送日

27.07.99

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

波多江 進

2G 9508

電話番号 03-3581-1101 内線 3224

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01423

## Continuation of Box No. II of continuation of first sheet (1)

### Continuation of the statement in box

The inventions of claims 1 to 4 have the purpose to suppress the deterioration of the performance of an FET because of hot electrons. The inventions of claims 5 and 6 have the purpose to provide independently a gate insulating film for an FET and an insulating film for a field-effect electron source and the purpose to easily provide a multilayer interconnection structure. The inventions of claims 7 and 8 have the purpose to prevent the characteristics of an FET from changing because of the charge voltage produced in the upper portion of the channel region of an FET. The inventions of claims 9 to 13 have the purpose to inject uniformly carriers from the source region into the drain region and the purpose to achieve convergence by using the gate electrode of an FET while maintaining the quantity of electrons emitted. Therefore the groups of inventions of the claims do not have a common purpose.

The constituent technical features common to the group of inventions of claims 1 to 4, the group of inventions of claims 5 and 6, the group of inventions of claims 7 and 8, and the group of inventions of 9 to 13 are those included in the inventions disclosed in the document JP,08-87957,A cited as prior art by the applicant, and there are no essential constituent features common to the groups of inventions.

Therefore, these groups of inventions are not so linked as to form a single general inventive step, and there is no technical relationship among those inventions involving one or more of the same or corresponding special technical features.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01423

## Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
  
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.

☒ No protest accompanied the payment of additional search fees.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/01423

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>6</sup> H01J1/30, H01L27/06

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>6</sup> H01J1/30, H01L21/336, 27/06, 29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999  
Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  
JICST File (JOIS)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 7-130281, A (NEC Corp.),	1, 5
Y	19 May, 1995 (19. 05. 95),	2-4, 6
A	Par. No. [0014] ; Fig. 2 & EP, 651417, A & US, 5550435, A	9-13
Y	JP, 9-63467, A (Kobe Steel,Ltd.),	4, 6
A	7 March, 1997 (07. 03. 97), Par. Nos. [0031] to [0035] ; Fig. 1 (Family: none)	9-13
Y	JP, 60-55616, A (Hitachi,Ltd.), 30 March, 1985 (30. 03. 85), Full text ; Figs. 1, 2 (Family: none)	2, 3
Y	JP, 60-22375, A (Suwa Seikosha K.K.), 4 February, 1985 (04. 02. 85), Full text ; Fig. 2 (Family: none)	4
EX	JP, 11-102637, A (Futaba Corp.), 13 April, 1999 (13. 04. 99), Full text ; Figs. 1 to 7 (Family: none)	7, 8

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
19 July, 1999 (19. 07. 99)

Date of mailing of the international search report  
27 July, 1999 (27. 07. 99)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

ST  
Translation

PATENT COOPERATION TREATY

# PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference <b>P20080-P0</b>	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. <b>PCT/JP99/01423</b>	International filing date (day/month/year) <b>19 March 1999 (19.03.99)</b>	Priority date (day/month/year) <b>23 March 1998 (23.03.98)</b>
International Patent Classification (IPC) or national classification and IPC <b>H01J 1/30, H01L 27/06</b>		
Applicant <b>MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.</b>		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>5</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>1</u> sheets.</p>
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input checked="" type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input checked="" type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>

Date of submission of the demand <b>09 September 1999 (09.09.99)</b>	Date of completion of this report <b>02 February 2000 (02.02.2000)</b>
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.



## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01423

**I. Basis of the report****1. With regard to the elements of the international application:\***

- ☐ the international application as originally filed
- ☒ the description:  
pages \_\_\_\_\_ 1-41 \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
pages \_\_\_\_\_ 2-13 \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, as amended (together with any statement under Article 19  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_ 1 \_\_\_\_\_, filed with the letter of \_\_\_\_\_ 24 January 2000 (24.01.2000)
- ☒ the drawings:  
pages \_\_\_\_\_ 1-9 \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
pages \_\_\_\_\_, as originally filed  
pages \_\_\_\_\_, filed with the demand  
pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

**2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.**

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

**3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:**

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

**4. ☐ The amendments have resulted in the cancellation of:**

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

**5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\***

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01423

## IV. Lack of unity of invention

1. In response to the invitation to restrict or pay additional fees the applicant has:

- ☐ restricted the claims.
- ☐ paid additional fees.
- ☐ paid additional fees under protest.
- ☐ neither restricted nor paid additional fees.

2. ☒ This Authority found that the requirement of unity of invention is not complied with and chose, according to Rule 68.1, not to invite the applicant to restrict or pay additional fees.

3. This Authority considers that the requirement of unity of invention in accordance with Rules 13.1, 13.2 and 13.3 is

- ☐ complied with.
- ☒ not complied with for the following reasons:

The object of claims 1-3 and 4 is to suppress FET performance deterioration due to hot electrons. The object of claims 5-6 is to independently design a gate insulating film for an FET and an insulating film for a field-emission electron source, and to make it easy to obtain a multi-layer wiring structure. The object of claims 7-8 is to prevent FET characteristics variation due to the charge voltage produced at the top part of the FET's channel region. The object of claims 9-13 is to uniformly inject carriers from the source region to the drain region, and to enable focused operation while keeping the electron emission amount [stable] using the FET's gate electrode. Therefore the inventions disclosed in the aforesaid claims do not achieve the same objects.

Also, the constitution features common to the inventions disclosed in claims 1-3 and 4 and claims 5-6 and claims 7-8 and claims 9-13 are merely constitution features disclosed in the inventions described in Laid-open Patent Application 8-87957 cited as prior art by the applicant, and the inventions disclosed in the aforesaid claims do not appear to share major parts with one another.

Therefore, the inventions disclosed in claims 1-3 and 4 and claims 5-6 and claims 7-8 and claims 9-13 do not appear to have a technical relationship that includes distinctive technical features whereby these inventions have one or more of the same or corresponding technical features, and these groups of inventions are not so linked as to form a single general inventive concept.

4. Consequently, the following parts of the international application were the subject of international preliminary examination in establishing this report:

- ☒ all parts.
- ☐ the parts relating to claims Nos. \_\_\_\_\_.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01423

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-4,6-13	YES
	Claims	5	NO
Inventive step (IS)	Claims	7-13	YES
	Claims	1-6	NO
Industrial applicability (IA)	Claims	1-13	YES
	Claims		NO

### 2. Citations and explanations

Document 1: JP, 7-130281, A (NEC CORPORATION), 19 May 1995 (19.05.95)  
 Document 2: JP, 9-63467, A (KOBE STEEL, LTD.), 7 March 1997 (07.03.97)  
 Document 3: JP, 60-55616, A (HITACHI, LTD.), 30 March 1985 (30.03.85)  
 Document 4: JP, 60-22375, A (K.K. SUWA SEIKOSHA), 4 February 1985 (04.02.85)  
 Document 5: JP, 62-229880, A (TOSHIBA CORPORATION), 8 October 1987 (08.10.87)  
 Document 6: JP, 2-9134, A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.), 12 January 1990 (12.01.90)  
 Document 7: JP, 64-61953, A (VICTOR COMPANY OF JAPAN, LIMITED), 8 March 1989 (08.03.89)

Document 1 cited in the ISR ([0014] and [Fig. 2]) discloses a field-emission electron source device comprising gate electrode 2 formed on p-type silicon 5 with insulating layer 3 interposed, a field-emission electron source part that includes cathode 1, and n-channel field effect transistor 8; an n-type silicon 4 region is formed at the edge of a drain region that makes contact with the field effect transistor's channel region. Also, document 3 cited in the ISR and additionally documents 5 and 6 disclose giving the drain diffusion layer a gentle gradient by means of an As diffusion layer and a P diffusion layer. Applying the art of documents 3, 5, and 6 when forming document 1's n-type silicon 4 appears to be obvious to a person skilled in the art. Providing symmetrical impurity distribution in the drain when doing so is merely common general technical knowledge, as seen in documents 5 and 6, and the subject matter of claims 1-3 appears to lack an inventive step on account of documents 1, 3, 5, and 6.

Also, from [Fig. 2] of document 1 it is clear that the gate insulating film formed between the field effect transistor's gate 8 and p-type silicon 5 is formed as a film that is thinner than insulating layer 3, and the gate insulating film is buried by insulating layer 3, so the subject matter of claim 5 appears to lack novelty.

Documents 4 and 7 cited in the ISR disclose increasing breakdown voltage by making the gate electrode width wider at the drain side, and it is clear that document 1 also increases breakdown voltage using the same art. Therefore the subject matter of claim 4 appears to lack an inventive step on account of documents 1, 4, and 7.

Document 2 cited in the ISR discloses a structure in which an FET's gate insulating film is made of a thermally oxidized film in order to sharpen the emitter tip. Document 1 does not describe the method of forming the field effect transistor's gate insulating film, and there appears to be no inventive step in applying a well known manufacturing method per document 2. Therefore the subject matter of claim 6 appears to lack an inventive step on account of documents 1 and 2.

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP99/01423

## VI. Certain documents

### 1. Certain published documents (Rule 70.10)

Applicant No. Patr	Publication date (day/month/year)	Filing date (day/month/year)	Priority date (valid claim) (day/month/year)
JP-1-102637, A	13 April 1999 (13.04.1999)	29 September 1997 (29.09.1997)	

### 2. Non-written disclosures (Rule 70.9)

Kind of non-written disclosure	Date of non-written disclosure (day/month/year)	Date of written disclosure referring to non-written disclosure (day/month/year)

PCT

## 国際予備審査報告

(法第12条、法施行規則第56条)  
〔PCT36条及びPCT規則70〕

REC'D 18 FEB 2000

WIPO PCT

出願人又は代理人 の書類記号 P 2 0 0 8 0 - P 0	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/J P 9 9 / 0 1 4 2 3	国際出願日 (日.月.年) 1 9 . 0 3 . 9 9	優先日 (日.月.年) 2 3 . 0 3 . 9 8
国際特許分類 (IPC) Int. Cl <sup>7</sup> H01J1/304, H01L27/06		
出願人 (氏名又は名称) 松下電器産業株式会社		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条（PCT36条）の規定に従い送付する。
2. この国際予備審査報告は、この表紙を含めて全部で 5 ページからなる。  <input checked="" type="checkbox"/> この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。 (PCT規則70.16及びPCT実施細則第607号参照) この附属書類は、全部で 1 ページである。
3. この国際予備審査報告は、次の内容を含む。  I <input checked="" type="checkbox"/> 国際予備審査報告の基礎 II <input type="checkbox"/> 優先権 III <input type="checkbox"/> 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成 IV <input checked="" type="checkbox"/> 発明の単一性の欠如 V <input checked="" type="checkbox"/> PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明 VI <input checked="" type="checkbox"/> ある種の引用文献 VII <input type="checkbox"/> 国際出願の不備 VIII <input type="checkbox"/> 国際出願に対する意見

国際予備審査の請求書を受理した日 0 9 . 0 9 . 9 9	国際予備審査報告を作成した日 0 2 . 0 2 . 0 0	
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 波多江 進 電話番号 03-3581-1101 内線 3224	2 G 9 5 0 8

## I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に  
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。  
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-41 ページ、 出願時に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2-13 項、 出願時に提出されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 PCT19条の規定に基づき補正されたもの  
 請求の範囲 第 \_\_\_\_\_ 項、 国際予備審査の請求書と共に提出されたもの  
 請求の範囲 第 1 項、 24.01.00 付の書簡と共に提出されたもの

☒ 図面 第 1-9 ページ/図、 出願時に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 国際予備審査の請求書と共に提出されたもの  
 図面 第 \_\_\_\_\_ ページ/図、 \_\_\_\_\_ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 出願時に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 国際予備審査の請求書と共に提出されたもの  
 明細書の配列表の部分 第 \_\_\_\_\_ ページ、 \_\_\_\_\_ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である \_\_\_\_\_ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語  
☐ PCT規則48.3(b)にいう国際公開の言語  
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表  
☐ この国際出願と共に提出されたフレキシブルディスクによる配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表  
☐ 出願後に、この国際予備審査(または調査)機関に提出されたフレキシブルディスクによる配列表  
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった  
☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 \_\_\_\_\_ ページ  
☐ 請求の範囲 第 \_\_\_\_\_ 項  
☐ 図面 図面の第 \_\_\_\_\_ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならない、本報告に添付する。)

## IV. 発明の単一性の欠如

1. 請求の範囲の減縮又は追加手数料の納付の求めに対して、出願人は、

- ☐ 請求の範囲を減縮した。
- ☐ 追加手数料を納付した。
- ☐ 追加手数料の納付と共に異議を申立てた。
- ☐ 請求の範囲の減縮も、追加手数料の納付もしなかった。

2. ☒ 国際予備審査機関は、次の理由により発明の単一性の要件を満たしていないと判断したが、PCT規則68.1の規定に従い、請求の範囲の減縮及び追加手数料の納付を出願人に求めないこととした。

3. 国際予備審査機関は、PCT規則13.1、13.2及び13.3に規定する発明の単一性を次のように判断する。

- ☐ 満足する。
- ☒ 以下の理由により満足しない。

請求の範囲1-3, 4はホットエレクトロンによるFET性能の劣化を抑制することを目的としたものであり、請求の範囲5-6はFET用のゲート絶縁膜と電界放出型電子源用の絶縁膜とをそれぞれ独自に設計すること、及び多層配線構造を容易に得ることを目的としたものであり、請求の範囲7-8はFETのチャネル領域の上部に発生するチャージ電圧によるFETの特性変化を防止することを目的としたものであり、請求の範囲9-13はソース領域からドレイン領域へキャリアを均等に注入すること、及びFETのゲート電極により、電子放出量を維持したまま収束作用を得ることを目的としたものである。従って、上記請求の範囲に記載された発明は互いに同一の目的を達成するものとは認められない。

また、請求の範囲1-3, 4と請求の範囲5-6と請求の範囲7-8と請求の範囲9-13に記載された発明に互いに共通する構成は、出願人が先行技術として挙げた特開平8-87957号公報に記載された発明に開示されている構成に過ぎず、上記請求の範囲に記載された発明は互いにその主要部が共通するとは認められない。

したがって、請求の範囲1-3, 4、請求の範囲5-6、請求の範囲7-8、請求の範囲9-13に記載された発明は、これらの発明の間に一又は二以上の同一の又は対応する特別な技術的特徴を含む技術的な関係があるとは認められず、これらの発明は一の又は単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

4. したがって、この国際予備審査報告書を作成するに際して、国際出願の次の部分を、国際予備審査の対象にした。

- ☒ すべての部分
- ☐ 請求の範囲 \_\_\_\_\_ に関する部分

## V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

## 1. 見解

新規性(N)	請求の範囲	1-4, 6-13	有
	請求の範囲	5	無
進歩性(IS)	請求の範囲	7-13	有
	請求の範囲	1-6	無
産業上の利用可能性(IA)	請求の範囲	1-13	有
	請求の範囲		無

## 2. 文献及び説明(PCT規則70.7)

文献1: J P, 7-130281, A (日本電気株式会社)  
 19. 5月. 1995 (19. 05. 95)  
 文献2: J P, 9-63467, A (株式会社神戸製鋼所)  
 7. 3月. 1997 (07. 03. 97)  
 文献3: J P, 60-55616, A (株式会社日立製作所)  
 30. 3月. 1985 (30. 03. 85)  
 文献4: J P, 60-22375, A (株式会社諏訪精工舎)  
 4. 2月. 1985 (04. 02. 85)  
 文献5: J P, 62-229880, A (株式会社東芝)  
 8. 10月. 1987 (08. 10. 87)  
 文献6: J P, 2-9134, A (松下電子工業株式会社)  
 12. 1月. 1990 (12. 01. 90)  
 文献7: J P 64-61953, A (日本ビクター株式会社)  
 8. 3月. 1989 (08. 03. 89)

国際調査報告で引用された文献1(【0014】及び【図2】)には、p型シリコン5上に絶縁層3を介して形成されたゲート電極2と、カソード1とを含む電界放出電子源部と、nチャネル電界効果トランジスタ8とを備えた電界放出型電子源装置であって、n型シリコン4の領域が電界効果トランジスタのチャネル領域に接するドレイン領域の端部に形成されているものが記載されている。また、国際調査報告で引用された文献3、さらに文献5、6には、As拡散層とP拡散層とにより、ドレインの拡散層の濃度勾配をなだらかにすることが記載されている。文献1のn型シリコン4を形成する際に文献3、5、6の技術が採用できることは当業者には自明である。その際、ドレインにおける不純物分布を対称にすることも、文献5、6にみられるように常套手段に過ぎず、請求の範囲1-3は文献1、3、5、6により進歩性を有しない。

また、文献1の【図2】から、電界効果トランジスタのゲート8とp型シリコン5との間に形成されたゲート絶縁膜が、絶縁層3よりも薄い膜で構成され、ゲート絶縁膜が絶縁層3によって埋め込まれた構成を有することは明らかであり、請求の範囲5は新規性を有しない。

国際調査報告で引用された文献4、7には、ゲート電極幅をドレイン側で広くすることにより、耐圧を向上することが記載されており、文献1でも同様の技術により耐圧が向上することは明らかである。よって、請求の範囲4は文献1、4、7により、進歩性を有しない。

国際調査報告で引用された文献2には、FETのゲート絶縁膜を、エミッタの先端を先鋭化するための熱酸化膜から構成することが記載されている。文献1には、電界効果トランジスタのゲート絶縁膜の形成方法は記載されていないものの、文献2により公知の製法を採用することに進歩性は認められない。したがって、請求の範囲6は文献1、2により、進歩性を有しない。



## VI. ある種の引用文献

## 1. ある種の公表された文書 (PCT規則70.10)

出願番号 特許番号	公知日 (日. 月. 年)	出願日 (日. 月. 年)	優先日 (有効な優先権の主張) (日. 月. 年)
--------------	------------------	------------------	------------------------------

J P, 11-102637, A	13. 04. 99	29. 09. 97	
-------------------	------------	------------	--

## 2. 書面による開示以外の開示 (PCT規則70.9)

書面による開示以外の開示の種類	書面による開示以外の開示の日付 (日. 月. 年)	書面による開示以外の開示に言及している 書面の日付 (日. 月. 年)
-----------------	------------------------------	--

## 請求の範囲

1. (補正後) p型シリコン基板上に絶縁膜を介して形成されていて且つ陰極形成領域に相当する箇所に開口部を有する引き出し電極と、該p型シリコン基板上であって該引き出し電極の開口部に相当する位置に形成された陰極部と、を含む電界放出電子源部と、

該電界放出電子源部に対応して該p型シリコン基板上に形成されたnチャネル電界効果トランジスタ部と、

を備え、

該電界効果トランジスタ部のドレイン領域に該電界放出電子源部が形成されており、該電界効果トランジスタ部のゲート電極に印加される制御電圧により、該電界放出電子源部からの電界放射電流が制御される電界放出型電子源装置であって、

該ドレイン領域が、異なる不純物元素から構成され、かつドレインにおける不純物分布が対称である不純物濃度の異なる少なくとも2種類のウエルを含み、

該少なくとも2種類のウエルのうちで不純物濃度の低いウエルが、該電界効果トランジスタ部のチャネル領域に接する該ドレイン領域の端部に形成されている、電界放出型電子源装置。

2. 前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度の異なる少なくとも2種類のn型不純物元素が含まれている、請求項1に記載の電界放出型電子源装置。

3. 前記ドレイン領域に、不純物元素として、シリコン基板中での熱拡散速度が早い燐元素とシリコン基板中での熱拡散速度が遅い砒素元素とが含まれている、請求項1に記載の電界放出型電子源装置。

INTERNET COOPERATION TR

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Assistant Commissioner for Patents  
United States Patent and Trademark  
Office  
Box PCT  
Washington, D.C.20231  
ÉTATS-UNIS D'AMÉRIQUE

in its capacity as elected Office

Date of mailing:

21 October 1999 (21.10.99)

International application No.:

PCT/JP99/01423

Applicant's or agent's file reference:

P20080-P0

International filing date:

19 March 1999 (19.03.99)

Priority date:

23 March 1998 (23.03.98)

Applicant:

KOGA, Keisuke

1. The designated Office is hereby notified of its election made:



in the demand filed with the International preliminary Examining Authority on:

09 September 1999 (09.09.99)



in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was



was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO  
34, chemin des Colombettes  
1211 Geneva 20, Switzerland

Facsimile No.: (41-22) 740.14.35

Authorized officer:

J. Zahra

Telephone No.: (41-22) 338.83.38